

081.3

K56

ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ  
ЭНЕРГО-ФИЗИЧЕСКИЙ ИНСТИТУТ

Б. Н. Ковригин

# ТРИГГЕРНЫЕ СХЕМЫ

Часть I

ОПИСАНИЕ И КЛАССИФИКАЦИЯ

Москва 1976

МИНИСТЕРСТВО ВЫСШЕГО И СРЕДНЕГО СПЕЦИАЛЬНОГО  
ОБРАЗОВАНИЯ СССР

МОСКОВСКИЙ ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ  
ИНЖЕНЕРНО-ФИЗИЧЕСКИЙ ИНСТИТУТ

---

Б.Н. Ковригин

ТРИТЕРНЫЕ СХЕМЫ

Часть I

ОПИСАНИЕ И КЛАССИФИКАЦИЯ

Утверждено в качестве учебного  
пособия Советом института

БИБЛИОТЕЧНЫЙ  
ФОНД  
ИЗДАТЕЛЬСКИЙ

Москва 1976

Б.Н. Ковригин. Учебное пособие. Триггерные схемы. Ч. I.  
Описание и классификация. Изд. МИФИ, 1976, 76с.

В пособии рассмотрены триггерные схемы, входящие в состав современных серий интегральных элементов. Приведена классификация триггерных схем по способу записи информации, функции внешних переходов, асинхронному поведению. Изложение иллюстрируется примерами.

Учебное пособие предназначено для студентов, обучающихся по специальности "Электронные вычислительные машины".

По техническим причинам данное учебное пособие разделено на 2 части.

Рисунков 51, таблиц 7, библиография 7 названий.

## ПРЕДИСЛОВИЕ

При проектировании цифровых устройств невозможно обойтись без элементов памяти, назначение которых — сохранить перерабатываемую информацию. В качестве элементов памяти в ЦВМ первого и второго поколений в основном использовались триггерные схемы с установочными и счетным входами, впервые предложенные Н.Г. Бонч-Бруевичем (1918 г.). С развитием микроэлектроники и широким распространением потенциальной системы элементов существенно усложнилась внутренняя организация триггерных схем. Усложнение их структуры необходимо для временного согласования элементов памяти и логических элементов при проектировании цифровых устройств. Новая организация структуры триггерных схем позволила расширить их логические возможности и увеличить их номенклатуру. Это привело к тому, что при проектировании цифровых устройств в первую очередь интересуются уже не электрическими характеристиками, а логическими возможностями используемых триггерных схем. При этом, как правило, триггерную схему рассматривают на уровне логических элементов и ее свойства выводят из системы связей, соединяющей логические элементы в триггер.

В данном пособии приведена классификация триггерных схем, описаны широко распространенные триггеры и показана необходимость учета структуры триггера при проектировании асинхронных схем.

Настоящая книга является учебным пособием по курсам "Элементы ЦВМ" и "Основы теории и проектирования ЦВМ". Она может быть полезна при выполнении учебно-исследовательской работы и дипломного проектирования.

## ВВЕДЕНИЕ

Практически все устройства ЦМ совмещают функции, связанные с переработкой информации, с функцией хранения. Неотъемлемой частью таких устройств является элемент памяти. В арифметических и логических устройствах для хранения информации чаще всего используется элемент с двумя устойчивыми состояниями - триггер. Триггер (триггерная схема) в общем случае имеет два выхода  $Q$  и  $\bar{Q}$ , разрешенные сигналы на которых всегда противоположны, и  $n$  входов (рис. I). Одно из двух устойчивых состояний триггера кодируется двоичной единицей, а другое - двоичным нулем. Если триггер находится в первом состоянии, то говорят, что триггер находится в состоянии единицы или просто в единице (в этом случае  $Q = 1$ , а  $\bar{Q} = 0$ ), а если во втором, то - в состоянии нуля или просто в нуле (в этом случае  $Q = 0$ , а  $\bar{Q} = 1$ ).

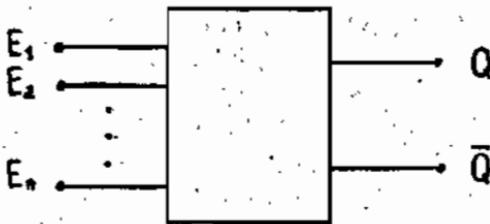


Рис. I.

Хорошо известно, что понятие "триггер" охватывает большое разнообразие электронных схем, которые имеют больше различий, чем общих свойств. Триггерные схемы различаются по реализуемой

функции переходов, способу записи входной информации, не говоря уже о различиях, связанных с электрическими характеристиками: быстродействием, коэффициентом разветвления по выходу и т.п. Очевидно необходима определенная классификация триггерных схем. Она помогает разработчикам цифровых устройств правильно ориентироваться при их выборе.

В интегральной схемотехнике наиболее распространена потенциальная система логических элементов, поэтому ниже приведены только потенциальные схемы триггеров. Поскольку их свойства в основном определяются системой связей между логическими элементами, из которых они состоят, то классификация триггерных схем основана на рассмотрении логической структуры. На рис. 2 приведена блок-схема классификации триггерных схем.

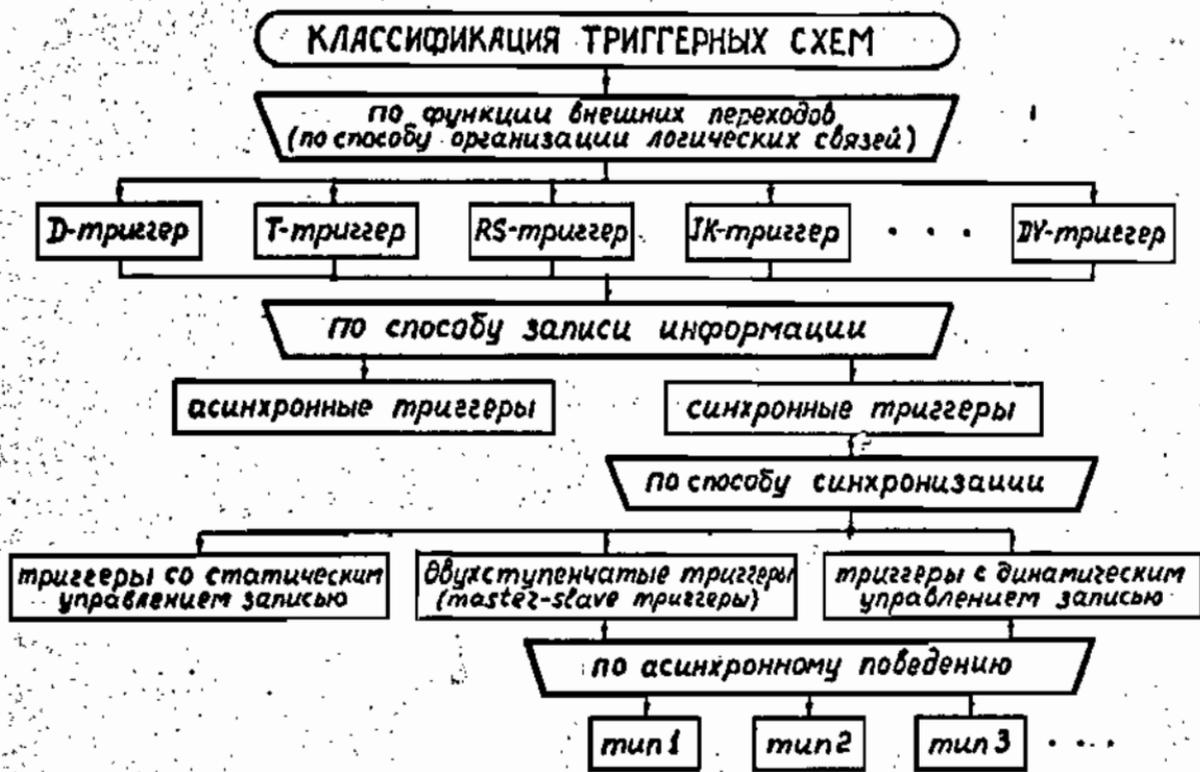


Рис. 2. Классификация триггерных схем.

## § I. Классификация триггерных схем по функции внешних переходов

Закон функционирования триггерных схем обычно задает функцией внешних переходов, которая определяет зависимость выходного сигнала триггера  $Q(t+I)$  в момент времени  $t+I$  от значений входных сигналов  $E_l(t)$  ( $l = 1, 2, \dots, N$ ) и выходного сигнала  $Q(t)$  в момент времени  $t$ :

$$Q(t+I) = f[E_1(t), E_2(t), \dots, E_N(t), Q(t)]. \quad (I)$$

Данное выражение представляет собой аналитическую форму записи функции внешних переходов триггера. Времена  $t$  и  $t+I$  означают время до и после срабатывания триггера соответственно.

Функция внешних переходов триггера часто изображает с помощью таблицы внешних переходов (табл. I). Данную таблицу часто называют просто таблицей переходов, хотя эти термины обозначают таблицы, различные не только по форме, но и по существу (см. ч. II). Таблица внешних переходов устанавливает связь между выходом и входом триггерной схемы без учета ее внутренних переменных. В левой половине этой таблицы задают все комбинации значений входных переменных и выхода  $Q$  до момента срабатывания триггера (эти значения относят ко времени  $t$ ). В правой половине — состояния, которые принимает выход  $Q$  для каждой комбинации входных сигналов после срабатывания триггера (эти значения относят ко времени  $t+I$ ).

Таблицу внешних переходов триггера можно представить в более компактной форме, если в ее левой части оставить комбинации только входных сигналов, а в правой записать следующие возможные состояния триггера: 0, 1,  $Q(t)$ ,  $\bar{Q}(t)$  и X (табл. 2 и 3). Эти состояния означают:

0 — триггер переходит из любого состояния  $Q(t)=0$  или  $Q(t)=1$  в состояние нуля при данной комбинации входных сигналов, т.е.  $Q(t+I)=0$ ;

I - триггер переходит из любого состояния  $[Q(t)=0$  или  $Q(t)=1]$  в состояние единицы при данной комбинации входных сигналов, т.е.  $Q(t+1)=1$ ;

$Q(t)$  - триггер не изменяет своего состояния при данной комбинации входных сигналов, т.е.  $Q(t+1)=Q(t)$ ;

$\bar{Q}(t)$  - триггер изменяет свое состояние на противоположное при данной комбинации входных сигналов, т.е.  $Q(t+1)=\bar{Q}(t)$ ;

X - неопределенное состояние триггера при данной комбинации входных сигналов, т.е.  $Q(t+1)=X$ .

Неопределенное состояние означает, что при данной комбинации входных сигналов выходы триггера  $Q$  и  $\bar{Q}$  принимают одинаковое значение ( $Q=\bar{Q}=0$  или  $Q=\bar{Q}=1$ ), а после снятия данной комбинации триггер с равной вероятностью переходит или в состояние  $Q=0$ , или в состояние  $Q=1$ . Такая комбинация входных сигналов является запрещенной.

Таблица 1

Входной сигнал	Состояние выхода $Q$ в момент времени $t$	Состояние выхода $Q$ в момент времени $t+1$	
		$Q(t+1)$	
$D(t); T(t)$	$Q(t)$	D-триггер	T-триггер
0	0	0	0
0	1	0	1
1	0	1	1
1	1	1	0

Таблица 2

Вход, $t$	Выход $Q, t+1$	
$D(t); T(t)$	D-триггер	T-триггер
0	0	$Q(t)$
1	1	$\bar{Q}(t)$

Вход, $t$		Выход $Q, t+1$		
$S; J; V$	$R; K; D$	RS-триггер	JK-триггер	DV-триггер
0	0	$Q(t)$	$Q(t)$	$Q(t)$
0	1	0	0	$Q(t)$
1	0	1	1	0
1	1	X	$\bar{Q}(t)$	1

**Определение I.** Комбинацию входных сигналов называют запрещенной, если она вызывает временное нарушение функции памяти ( $Q = \bar{Q}$ ) и случайные переходы триггера.

Если каждой комбинации входных переменных поставить в соответствие каждое из возможных состояний выхода триггера (в том числе и неопределенное состояние), то можно получить различные таблицы внешних переходов (функции внешних переходов). Их число задает следующая теорема.

**Теорема I.** Число различных таблиц внешних переходов (различных функций внешних переходов) для триггерной схемы с  $n$  входами равно  $5 \cdot 2^n$ .

**Доказательство.** Составим следующую таблицу внешних переходов (табл. 4).

Таблица 4

$E_1(t)$	$E_2(t)$	$E_{n-1}(t)$	$E_n(t)$	$Q(t+1)$	
0	0	...	0	0	$a_1$
0	0	...	0	1	$a_2$
0	0	...	1	0	$a_3$
1	1	...	1	1	$a_{2^n}$

В этой таблице справа стоят коэффициенты  $a_i$ , вместо которых следует подставить одно из возможных значений выхода триггера  $Q(t+1)$ . Триггер в общем случае может иметь на выходе пять значений: 0; 1;  $Q(t)$ ;  $\bar{Q}(t)$ ; X, определяемых как реакция триггера на входные сигналы. Подставляя вместо  $a_i$  те или иные значения выхода триггера, будем задавать одну из возможных таблиц внешних переходов (функций внешних переходов). Но различное

число таких подстановок равно  $5^{2^n}$ , следовательно, теорема доказана.

Если предположить, что каждая таблица внешних переходов реализуется своей специфической триггерной схемой, то общее число различных триггерных схем также должно расти, как  $5^{2^n}$ . Однако число различных триггерных схем растет медленнее числа различных таблиц внешних переходов для  $n$  входных переменных. Это говорит о том, что для реализации некоторого множества таблиц внешних переходов можно использовать одну и ту же триггерную схему.

Введем понятие типа таблиц внешних переходов.

**Определение 2.** Типом таблиц внешних переходов называется такое множество таблиц внешних переходов, в котором каждая таблица может быть получена из другой переименованием входных переменных и/или взятием отрицаний от них.

**Пример 1.** Ниже приведены восемь видов внешних переходов, относящихся к одному типу. (табл. 5). Для реализации всех восьми видов достаточно иметь один триггер с двумя входами.

Таблица 5

$E_1(t)$	$E_2(t)$	$Q(t+1)$							
		1	2	3	4	5	6	7	8
0	0	$Q(t)$	$Q(t)$	0	0	I	I	$\bar{Q}(t)$	$\bar{Q}(t)$
0	I	0	I	$Q(t)$	$\bar{Q}(t)$	$Q(t)$	$\bar{Q}(t)$	0	I
I	0	I	0	$\bar{Q}(t)$	$Q(t)$	$\bar{Q}(t)$	$Q(t)$	I	0
I	I	$\bar{Q}(t)$	$\bar{Q}(t)$	I	I	0	0	$Q(t)$	$Q(t)$

Однако число триггеров, которые могут быть практически использованы, меньше числа типов. Дело в том, что тип таблиц внешних переходов охватывает все возможные таблицы внешних переходов, в том числе и такие, которые не содержат полной системы переходов.

**Определение 3.** Триггером с полной системой переходов называется триггер, у которого для каждого возможного перехода из состояния  $Q(t)$  в состояние  $Q(t+1)$  (0-0, 0-I, I-0, I-I) существует по крайней мере одна комбинация входных сигналов  $E_i$  ( $i=1, 2, \dots, n$ ), реализующая данный переход.

Пример 2. Триггер, заданный табл. 6 внешними переходами, не имеет полной системы переходов, так как не существует входного сигнала, переводящего триггер из состояния  $Q(t)=1$  в состояние  $Q(t+1)=1$ :

Таблица 6

$E(t)$	$Q(t)$	$Q(t+1)$
0	0	0
0	1	0
1	0	1
1	1	0

Очевидно, все имеющие смысл триггерные схемы должны обладать полной системой переходов.

Таким образом, при вычислении общего числа различных триггерных схем с  $n$  входами, имеющих полную систему переходов, необходимо руководствоваться определениями 2 и 3. Кроме того, не все функции внешних переходов существенно зависят от  $n$  входных переменных.

Определение 4. Функция внешних переходов  $f[E_1(t), \dots, E_{l-1}(t), E_l(t), E_{l+1}(t), \dots, E_n(t), Q(t)]$  существенно зависит от входной переменной  $E_l(t)$ , если имеется соотношение

$$f[E_1(t), \dots, E_{l-1}(t), Q, E_{l+1}(t), \dots, E_n(t), Q(t)] \neq f[E_1(t), \dots, E_{l-1}(t), 1, E_{l+1}(t), \dots, E_n(t), Q(t)].$$

Число всех функций внешних переходов (таблиц внешних переходов), существенно зависящих от  $n$  входных переменных, определяется следующим соотношением:

$$A_n = \sum_{l=0}^n (-1)^l C_n^l 5^{n-l}.$$

Рассмотрим триггерные схемы с одним и двумя входами, которые распространены в теории и практике проектирования цифровых устройств.

### 1.1. Триггерные схемы с одним входом

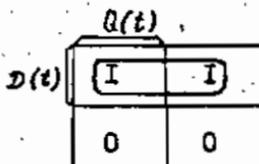
Для  $n=1$  согласно теореме 1 получается  $5^2 = 25$  триггеров с различными таблицами внешних переходов. Однако существуют толь-

ко два принципиально различных триггера (см. табл. 1) с одним входом, имеющих полную систему переходов. Один из этих триггеров называют  $D$ -триггером, другой -  $T$ -триггером.

Более компактная запись таблиц внешних переходов представлена табл. 2.

$D$ -триггер. Триггер имеет один вход  $D$  (*Delay*-задержка), состояние которого передается на выход, т.е. выходные сигналы - это задержанные входные сигналы (см. табл. 1,2). Таким образом,  $D$ -триггер - элемент задержки входных сигналов на один такт.

В некоторых случаях функции внешних переходов триггерных схем удобнее представлять в аналитической, а не табличной форме. Аналитическую форму записи функции внешних переходов называют характеристическим уравнением [3]. Чтобы представить функцию внешних переходов  $D$ -триггера в аналитической форме, составим по табл. 1 диаграмму Вейча для значений выхода  $Q(t+1)$ :



Из диаграммы запишем характеристическое уравнение

$$Q(t+1) = D(t).$$

$T$ -триггер.  $T$ -триггер имеет один вход (*Trigger*). Если на этот вход подана 1, то триггер переходит в противоположное состояние; если на входе находится 0, то триггер остается в прежнем состоянии (см. табл. 1,2). Таким образом,  $T$ -триггер реализует счет по модулю два.

Характеристическое уравнение триггера

$$Q(t+1) = \bar{T}(t)Q(t) + T(t)\bar{Q}(t),$$

или, применяя более компактную запись,

$$Q(t+1) = (\bar{T}Q + T\bar{Q})^t.$$

В этом выражении индекс  $t$ , расположенный над скобкой, указывает, что значения всех переменных, находящихся в скобках, относятся к моменту времени  $t$ .

## 1.2. Триггерные схемы с двумя входами

Они получили широкое применение в схемах современных ЦВМ. При этом, как правило, используются триггеры без запрещенных комбинаций входных сигналов. Это связано с тем, что запрещенные комбинации входных сигналов уменьшают избыточность системы переходов триггера и поэтому нежелательны [1]. В дальнейшем будут рассмотрены триггерные схемы без запрещенных комбинаций входных сигналов за исключением  $RS$ -триггера.

При  $n = 2$  общее число триггерных схем с различными таблицами внешних переходов без запрещенных комбинаций входных сигналов равно  $4^{2^2} = 256$ . Из этого числа существенно зависящих от двух входных переменных будет  $A_2 = \sum_{i=0}^2 (-1)^i C_2^i 4^{2^2-i} = 228$  триггеров. Применяя последовательно определения 2 и 3, можно убедиться, что существует только 33 принципиально различных двухвходовых триггера с полной системой переходов (таблицы их внешних переходов приведены в приложении ч. II). Но необходимо заметить, что лишь немногие из них технически реализованы. В табл. 3 рассматриваются три широко распространенных триггера.

$RS$ -триггер. Один из входов  $RS$ -триггера (см. табл. 3) называется входом  $R$  (*Reset* - сброс), а другой  $S$  (*Set* - установка). По входу  $R$  триггер устанавливается в нулевое состояние, а по входу  $S$  - в единичное. Одновременная подача на оба входа триггера сигналов, равных 1, запрещена, что отмечено в табл. 3 знаком X. Если на оба входа поданы сигналы, равные нулю, то триггер не изменяет своего состояния.

Характеристическое уравнение триггера

$$Q(t+1) = (S + \bar{R}Q)^t$$

при условии

$$(RS)^t = 0.$$

$RS$ -триггер может быть переведен из состояния  $Q(t) = 0$  в состояние  $Q(t+1) = 0$  двумя различными комбинациями входных сигналов:  $R = 0, S = 0$  и  $R = 1, S = 0$ . Переход из состояния  $Q(t) = 1$  в

состояние  $Q(t+1)=1$  также может быть вызван двумя комбинациями входных сигналов:  $R=0, S=0$  и  $R=0, S=1$ . Триггеры, которые могут переходить из одного состояния в другое или сохранять свое прежнее состояние при воздействии нескольких комбинаций входных сигналов, называют триггерами с избыточной системой переходов. Ее можно использовать в процессе синтеза устройства для упрощения его структуры. Поэтому, если два триггера по сложности равноценны, то предпочтение отдадут триггеру, имеющему большую избыточность системы переходов.

JK -триггер. Он имеет два входа - J и K. Сигнал по входу J устанавливает триггер в единичное состояние, а по входу K - в нулевое. Если входы  $J=K=1$ , то триггер изменяет свое состояние на противоположное (см. табл. 3).

Характеристическое уравнение триггера

$$Q(t+1) = (J\bar{Q} + \bar{K}Q)^*$$

DV -триггер. Он (см. табл. 3) имеет два входа: D (Delay - задержка) и V (Vorzentscheidung - предрешение). Если на вход V поступает сигнал 1, то DV-триггер ведет себя как D-триггер, т.е. запоминает на один такт информацию, поступившую на вход D.

Характеристическое уравнение триггера

$$Q(t+1) = (DV + Q\bar{V})^*$$

Таким образом, число триггерных схем с различными функциями внешних переходов (это разделение иначе называют классификацией по способу организации логических связей) чрезвычайно велико. Только за некоторыми триггерами закрепились определенные названия (D, T, RS, JK, DV), которые прямо ассоциируются с таблицей внешних переходов.

## § 2. Классификация триггерных схем по способу записи информации

По способу записи входной информации триггерные схемы разделяются на асинхронные (несинхронизируемые) и синхронные (синхронизируемые).

### 2.1. Асинхронные триггерные схемы

Отличительная особенность асинхронных триггерных схем (асинхронных триггеров) — непосредственная зависимость выходного сигнала триггера от изменений входных сигналов. Состояние асинхронного триггера определяется в каждый момент времени состоянием его входов; т.е. изменения входных сигналов сразу передаются на выход триггера.

Асинхронные триггеры редко применяются для построения цифровых устройств на потенциальной системе элементов. Это объясняется тем, что для подавляющего большинства цифровых устройств невозможно реализовать условия правильного (надежного) обмена информацией между асинхронными триггерами и логическими элементами. Условия правильного обмена можно сформулировать следующим образом:

- прием новой информации на триггер должен происходить только после опроса состояния триггера сигналом съема;
- опрос состояния триггера должен возобновляться только после переключения триггера в новое состояние и прекращения действия входного сигнала.

Если сигнал съема и переключающий сигнал образуются одновременно (что обычно и бывает), то переключающий сигнал должен быть задержан на время действия сигнала съема.

В потенциально-импульсной системе элементов разнесение во времени сигналов съема и переключения обычно осуществляют включением линии задержки на входе триггера. В потенциальной системе элементов линии задержки принципиально отсутствуют из-за потенциального способа представления информации. Здесь условия правильного обмена информацией между триггерами и логическими элементами реализуются за счет усложнения структуры триггерной схемы.

Если в потенциально-импульсной системе элементов существует большое разнообразие асинхронных триггеров, различающихся большей частью своими электрическими характеристиками, то в потенциальной системе элементов практические схемы асинхронных триггеров исчерпываются в основном  $RS$ -триггером. Поэтому ниже будет рассмотрен только асинхронный  $RS$ -триггер, построенный на потенциальной системе элементов.

Асинхронный  $RS$ -триггер обычно строится из двух логических элементов, которые взаимно охватываются обратной связью (ОС). Для построения  $RS$ -триггера возьмем логические элементы с двумя входами, которые реализуют функции алгебры логики (ФАЛ) от двух аргументов. Общее число ФАЛ, зависящих от двух аргументов, равно  $2^{2^2} = 16$  (табл. 7). Число ФАЛ, существенно зависящих от двух аргументов [2],

$$A_2 = \sum_{i=0}^2 (-1)^i C_2^i 2^{2-i} = 10.$$

Логические элементы, реализующие функции запрета по  $X$  и  $Y$ , одинаковы, поскольку один отличается от другого только обозначением входов. То же самое можно сказать и в отношении логических элементов, выполняющих функции импликации ( $f_{11}, f_{10}$ ). Следовательно, остаются восемь различных логических элементов, которые дают 36 возможных вариантов построения  $RS$ -триггера. Пятнадцать комбинаций, в состав которых входит хотя бы один элемент равнозначности или неравнозначности, приводят к схемам, которые при некоторых комбинациях входных переменных становятся нестабильными. Таким образом, остаются шесть функций, которые разобьем на две группы:  $(f_1, f_2, f_3)$  и  $(f_4, f_5, f_6)$ . Из элементов, реализующих функции первой и второй группы, можно образовать три ва-

Таблица 7

$x$	0	0	1	1	Название функции	Минимальная ДНФ
$y$	0	1	0	1		
$f_0(x, y)$	0	0	0	0	Константа ноль	—
$f_1(x, y)$	0	0	0	1	Конъюнкция	$xy$
$f_2(x, y)$	0	0	1	0	Запрет по $y$	$x\bar{y}$
$f_3(x, y)$	0	0	1	1	Переменная $x$	$x$
$f_4(x, y)$	0	1	0	0	Запрет по $x$	$\bar{x}y$
$f_5(x, y)$	0	1	0	1	Переменная $y$	$y$
$f_6(x, y)$	0	1	1	0	Неравнозначность	$\bar{x}y + x\bar{y}$
$f_7(x, y)$	0	1	1	1	Дизъюнкция	$x + y$
$f_8(x, y)$	1	0	0	0	Стрелка Пирса	$\bar{x}\bar{y}$
$f_9(x, y)$	1	0	0	1	Равнозначность	$\bar{x}\bar{y} + xy$
$f_{10}(x, y)$	1	0	1	0	Инверсия $y$	$\bar{y}$
$f_{11}(x, y)$	1	0	1	1	Импликация от $y$ к $x$	$x + \bar{y}$
$f_{12}(x, y)$	1	1	0	0	Инверсия $x$	$\bar{x}$
$f_{13}(x, y)$	1	1	0	1	Импликация от $x$ к $y$	$\bar{x} + y$
$f_{14}(x, y)$	1	1	1	0	Штрих Шеффера	$\bar{x} + \bar{y}$
$f_{15}(x, y)$	1	1	1	1	Константа единица	—

рианта построения  $RS$ -триггера (рис. 3,б). Если рассмотреть совместно элементы первой и второй групп, то можно получить еще четыре варианта построения  $RS$ -триггера (рис. 3,в). Недостаток последних  $RS$ -триггеров - отсутствие инверсного выхода.

Наибольшее распространение получили схемы асинхронного  $RS$ -триггера, построенные из элементов ИЛИ-НЕ и И-НЕ (рис. 4 и 5). Первую схему называют асинхронным  $RS$ -триггером с прямыми входами, вторую - асинхронным  $RS$ -триггером с инверсными входами. Стрипание над входными переменными на рис. 2 и 4 означает, что исходное состояние этого входа (выхода) должно быть равно единице, а переключение  $RS$ -триггера по этому входу производится сигналом нуля.

На работу приведенных асинхронных  $RS$ -триггеров накладываются ограничения. Во-первых, запрещается одновременное изменение входных переменных. Для каждого момента времени допускается изменение только одной входной переменной. Во-вторых, запрещается подача таких входных сигналов, которые приводят к нарушению функции памяти  $RS$ -триггера. Для схемы  $RS$ -триггера, построенной из элементов И-НЕ, запрещенным является входной набор  $\bar{S} = 0, \bar{R} = 0$ , поскольку прямой и инверсный выходы схемы принимают при этом наборе значение, равное единице, т.е.  $Q = \bar{Q} = 1$ . Для  $RS$ -триггера, построенного из элементов ИЛИ-НЕ, запрещенной комбинацией входных сигналов является  $S = 1, R = 1$ , так как в этом случае  $Q = \bar{Q} = 1$ .

По временной диаграмме (рис. 4,б и 5,б) можно определить время задержки срабатывания асинхронного  $RS$ -триггера. Как видно из временной диаграммы, задержки переключения триггера из нуля в единицу и из единицы в нуль различны. Для  $RS$ -триггера с прямыми входами

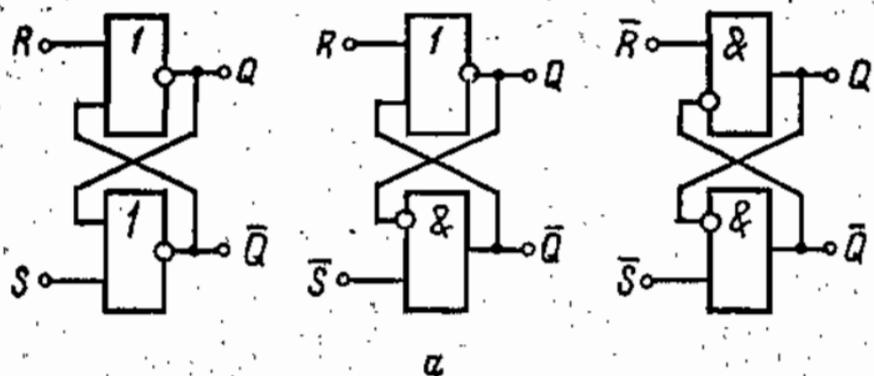
$$t_{s, \tau p}^{01} = t_{s, \tau p}^{+} = t_{s, \tau p}^{-} + t_{s, \tau p}^{+}, \quad (2)$$

$$t_{s, \tau p}^{10} = t_{s, \tau p}^{-} = t_{s, \tau p}^{-}, \quad (3)$$

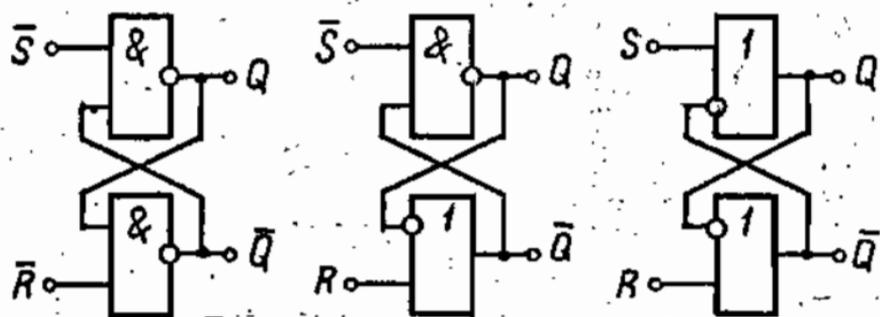
а для  $RS$ -триггера с инверсными входами

$$t_{s, \tau p}^{01} = t_{s, \tau p}^{+} = t_{s, \tau p}^{+}, \quad (4)$$

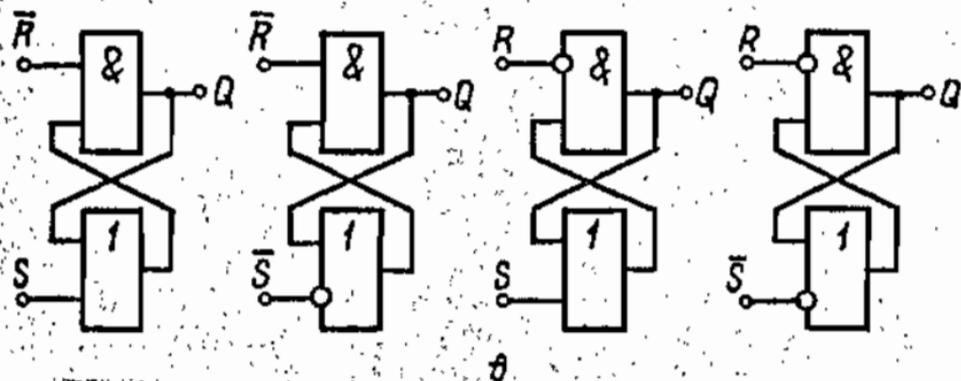
$$t_{s, \tau p}^{10} = t_{s, \tau p}^{-} = t_{s, \tau p}^{+} + t_{s, \tau p}^{-}. \quad (5)$$



*a*



*б*



*в*

Рис. 3. Варианты построения асинхронного RS-триггера.

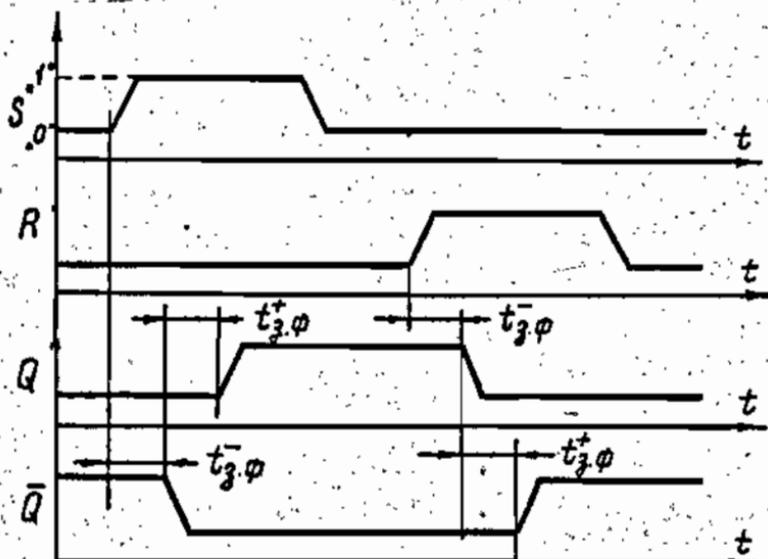
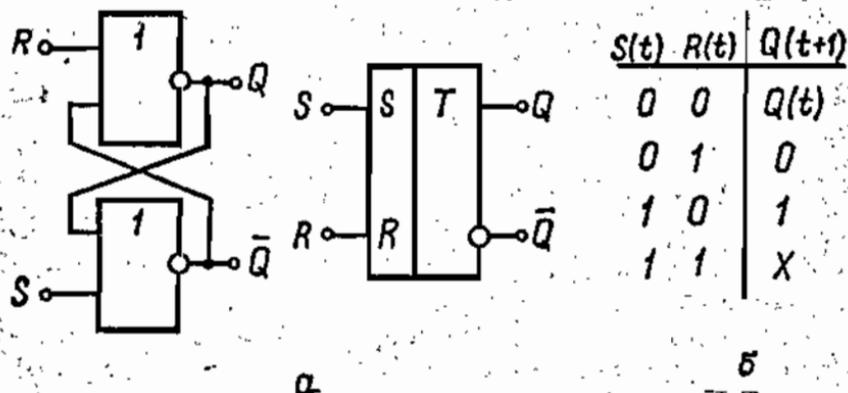


Рис. 4. Асинхронный RS-триггер с прямыми входами:  
 а - условное графическое изображение;  
 б - таблица переходов;  
 в - временная диаграмма.

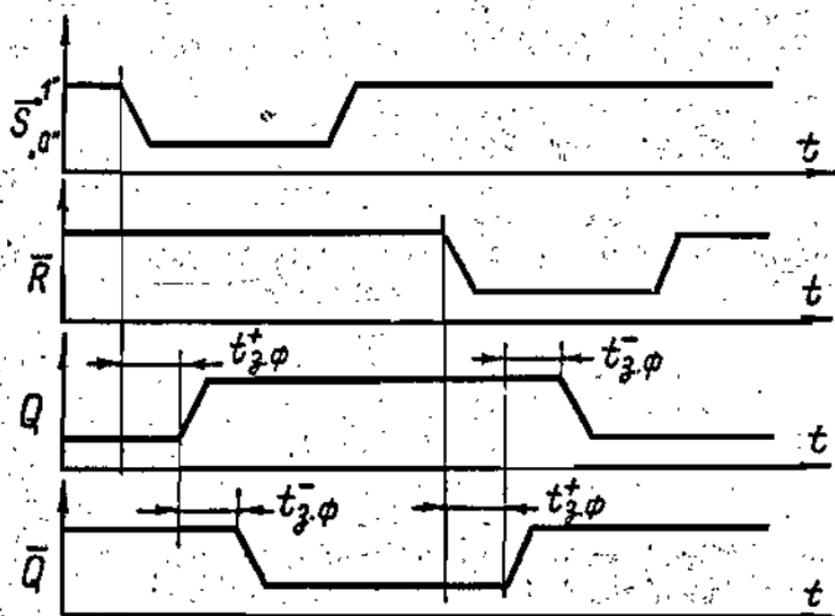
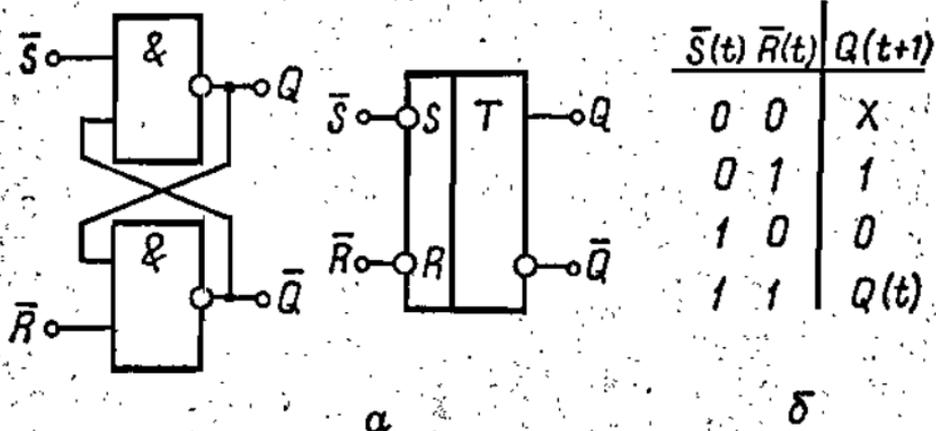


Рис. 5. Асинхронный RS-триггер с инверсными входами:

- а - условное графическое изображение;
- б - таблица переходов;
- в - временная диаграмма.

Здесь  $t_{3, \varphi, \pi}^+$  и  $t_{3, \varphi, \pi}^-$  — время задержки положительного и отрицательного фронтов  $RS$ -триггера соответственно;  $t_{3, \varphi}^+$  и  $t_{3, \varphi}^-$  — время задержки положительного и отрицательного фронтов логического элемента соответственно.

Из приведенных выражений видно, что сигналы на выходах  $Q$  и  $\bar{Q}$  триггера устанавливаются неодновременно и существует небольшой отрезок времени, когда  $Q = \bar{Q}$ . Практически для всех триггерных схем существует небольшой отрезок времени, когда прямой и инверсный выходы триггера принимают одинаковое значение. Это необходимо помнить при проектировании цифровых устройств. Неучет этого явления приводит к состязаниям в цифровых схемах.

## 2.2. Синхронные триггерные схемы

В общем случае структуру синхронной триггерной схемы можно представить в виде запоминающей ячейки (ЗЯ) и схемы управления (рис. 6). Запоминающая ячейка — это схема, которая имеет два устойчивых состояния, одно из которых кодируется двоичной единицей, а другое — двоичным нулем. Запоминающая ячейка обычно имеет два выхода  $Q$  и  $\bar{Q}$ , разрешенные сигналы на которых всегда противоположны, и два установочных входа  $S$  и  $R$ . Переключающий сигнал по входу  $S$  (*Set* — установка) устанавливает ЗЯ в состояние единицы, а по входу  $R$  (*Reset* — сброс) — в состояние нуля. Таким образом, ЗЯ — асинхронный  $RS$ -триггер. В общем случае ЗЯ может иметь несколько установочных входов.

Схема управления (СУ) (рис. 6) преобразует информацию, поступающую на входы  $E_i$  ( $i=1, 2, \dots, n$ ), в сигналы, которые подаются на установочные входы ЗЯ. В некоторых триггерных схемах выходные сигналы подаются на вход СУ (на рис. 6 эта связь показана пунктиром).

Синхронные триггеры имеют еще один исполнительный (управляющий, командный) вход для осуществления приема информации. Он называется входом синхронизации, т.е.  $C$ -входом (см. рис. 6). Сигналы, поступающие на этот вход, определяют момент приема триггером входной информации. Поскольку прием входной информации синхронизирован с моментом подачи импульса на  $C$ -вход, то такой триггер

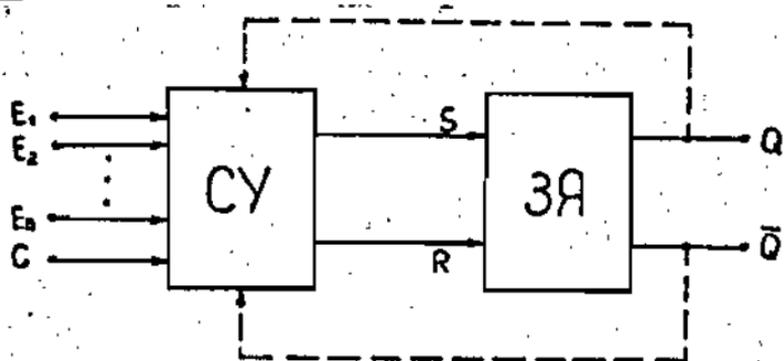


Рис. 6. Общая структура синхронной триггерной схемы:

СУ - схема управления; ЗЯ - запоминающая ячейка;

$E_1, E_2, \dots, E_n$  - логические входы; С - вход синхронизации.

назван синхронным (синхронизируемым) триггером. Таким образом, рассматриваемые ниже триггеры обладают следующими свойствами: на входы  $E_1, E_2, E_n$  поступают сигналы, несущие логическую информацию (входную информацию), на вход С - импульсы, которые логической информации не несут, а являются только сигналами генератора тактовой частоты. Входная информация принимается на хранение в триггер только с поступлением синхронизирующего импульса. Такой режим соответствует синхронной работе триггера. Но синхронный триггер можно применять и при асинхронной работе. При ней на синхронизирующий вход триггера сигналы могут поступать от элементов, непосредственно не связанных с синхронизирующими импульсами. Поэтому необходимо различать понятия "асинхронный триггер" и "асинхронная работа" синхронного триггера<sup>х)</sup>:

Поскольку функция внешних переходов определяет зависимость состояния выхода  $Q$  от значения логических входов и состояния триггера, то значение синхронизирующего входа не входит в эту зависимость. Состояние С - входа определяет только моменты времени  $t$  и  $t+1$  в выражении (I). Для синхронных триггеров време-

х) Асинхронное поведение синхронного триггера будет рассмотрено в § 4.

на  $t$  и  $t+1$  означают время до и после прихода синхронизирующего импульса соответственно.

Обычно синхронный триггер кроме логических входов  $E_i$  ( $i = 1, 2, \dots, n$ ) имеет асинхронные входы предварительной установки триггера в нуль и единицу. Сигналы, поступающие на эти входы, пользуются приоритетом, т.е. вне зависимости от состояния других входов они по переднему фронту устанавливает триггер в определенное состояние. Буквой  $S$  обозначают асинхронный вход установки триггера в состояние единицы, а буквой  $R$  - асинхронный вход установки триггера в состояние нуля. Таким образом, синхронный триггер по установочным входам реализует таблицу переходов асинхронного  $RS$ -триггера. Для каждого синхронного триггера, задаваемого таблицей переходов, вводят свое обозначение логических входов, отличное от общего обозначения  $E_i$  и от обозначения установочных входов.

### § 3. Классификация синхронных триггерных схем по способу синхронизации

Разделение триггерных схем по способу синхронизации обусловлено различиями в их внутренней организации (построении схемы управления). Классификация по этому признаку тесно связана с рассмотрением структуры синхронных триггерных схем на уровне логических элементов. Ниже будут рассмотрены только широко распространенные триггеры, построенные из универсальных логических элементов И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ.

При построении временных диаграмм работы триггеров условимся, что логической единице соответствует высокий уровень изображаемого сигнала, а логическому нулю - низкий уровень.

Синхронные триггеры разделяют по действию синхронизирующего импульса при приеме информации (по способу синхронизации) на синхронные триггеры со статическим управлением записью, синхрон-

ные двухступенчатые триггеры (построены по принципу *master-slave*), синхронные триггеры с динамическим управлением записью.

### 3.1. Синхронные триггеры со статическим управлением записью

Входная информация в рассматриваемых триггерах принимается только тогда, когда значение синхронизирующего сигнала равно единице, т.е. в течение всей длительности синхронизирующего импульса. Поэтому смена сигналов на логических входах триггера со статическим управлением записью разрешена только между синхронизирующими импульсами.

Синхронный *RS*-триггер со статическим управлением записью наиболее просто реализуется подключением двух элементов И-НЕ к ЗИ (рис.7). Временная диаграмма, иллюстрирующая работу триггера, приведена на рис. 8. Из рассмотрения временной диаграммы следует, что триггер переключается с приходом синхронизирующего импульса по переднему фронту. Задержки срабатывания триггера

$$t_{j, \varphi, \varphi}^+ = t_{j, \varphi}^- + t_{j, \varphi}^+ \quad (6)$$

$$t_{j, \varphi, \varphi}^- = 2t_{j, \varphi}^- + t_{j, \varphi}^+ \quad (7)$$

Синхронные триггеры со статическим управлением записью кроме логических входов могут иметь асинхронные (установочные) входы. Синхронный *RSRS*-триггер с асинхронными *S*- и *R*- входами, построенный из двух элементов 2И-2ИЛИ-НЕ, приведен на рис.9.

Синхронный *D*-триггер со статическим управлением записью можно получить из *RS*-триггера, если на вход *R* подавать инвертированный сигнал входа *S*. Однако целесообразно использовать для инвертирования уже имеющиеся элементы (рис.10). Из временной диаграммы (рис.11) видно, что задержки срабатывания *D*-триггера определяются выражениями (6) и (7).

Синхронный *DV*-триггер со статическим управлением записью можно получить, если к *D*-триггеру добавить еще один вход *V*, сигнал нуля на котором нейтрализует действие синхронизирующего импульса. Идеализированная временная диаграмма (рис. 12), иллюстрирующая логику работы *DV*-триггера, построена при нулевых

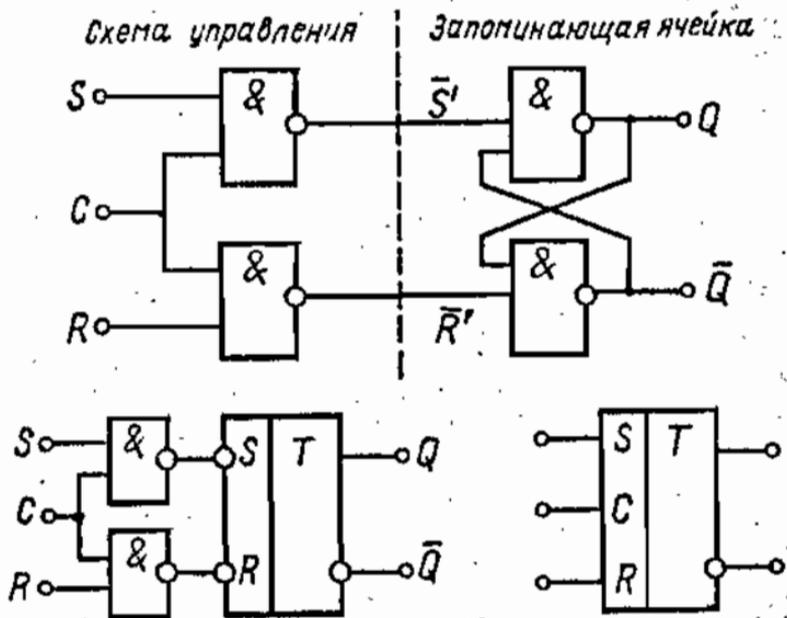


Рис. 7. Синхронный RS-триггер со статическим управлением записью и его условное обозначение.

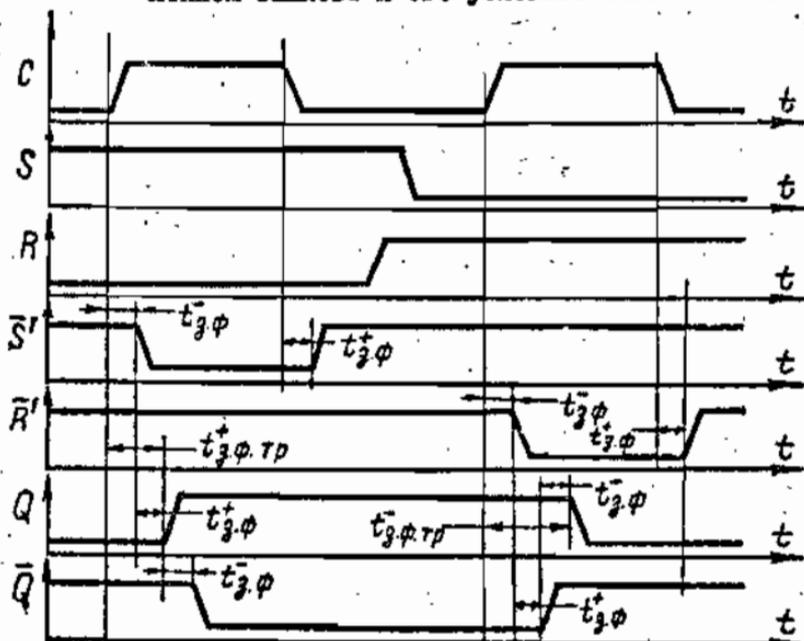


Рис. 8. Временная диаграмма работы RS-триггера.

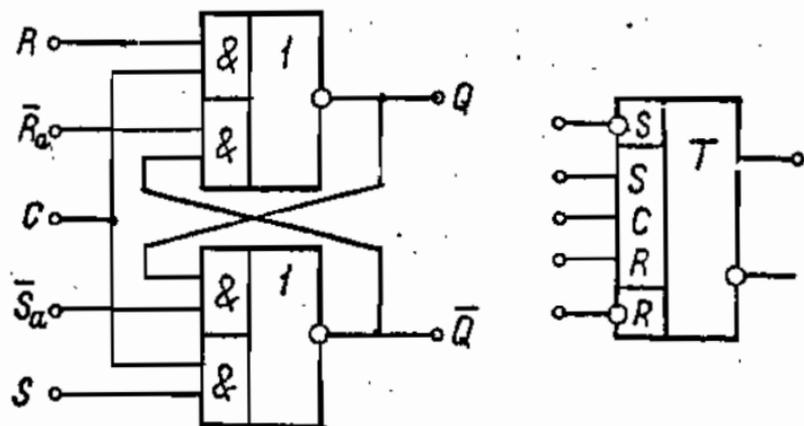


Рис. 9. Синхронный  $RSRS$ -триггер со статическим управлением записью и асинхронными  $\bar{S}_a$  и  $R_a$ -входами и его условное обозначение.

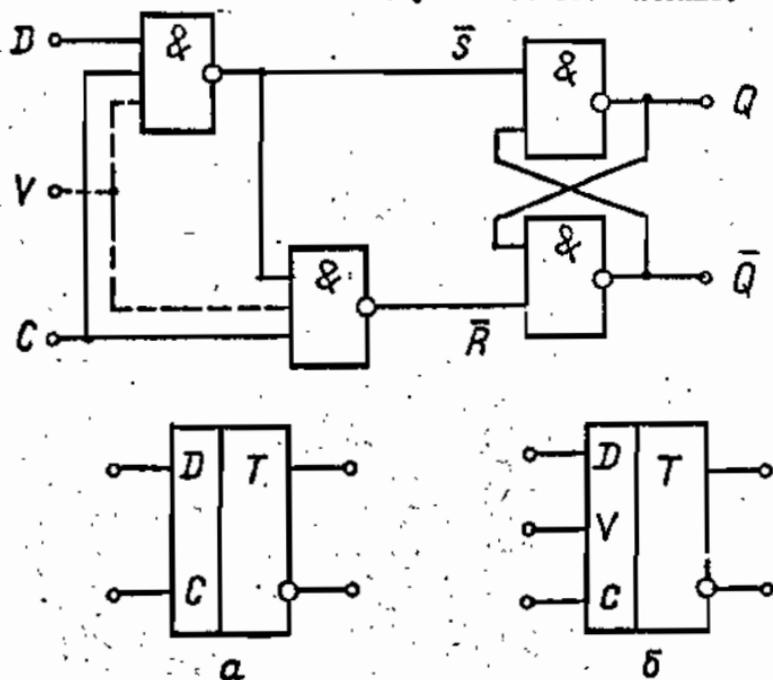


Рис. 10. Синхронный  $D$ -триггер со статическим управлением записью (пунктиром показан вход  $V$  для  $DV$ -триггера):

а - условное обозначение  $D$ -триггера;

б - условное обозначение  $DV$ -триггера.

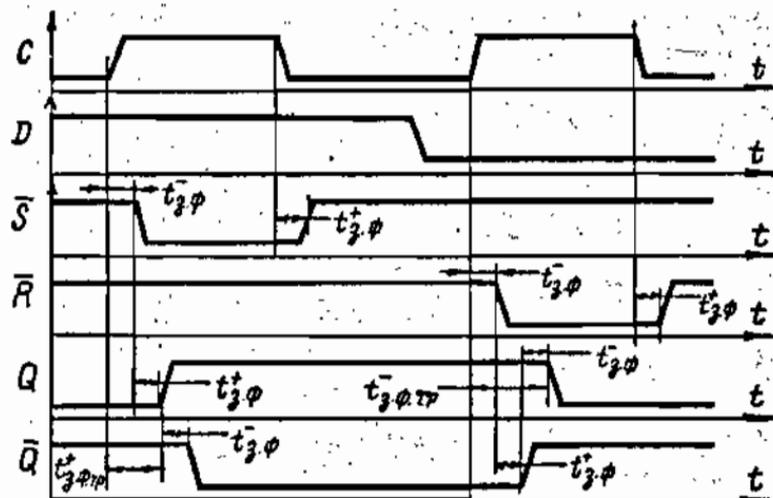


Рис. 11. Временная диаграмма работы синхронного  $D$ -триггера со статическим управлением записью.

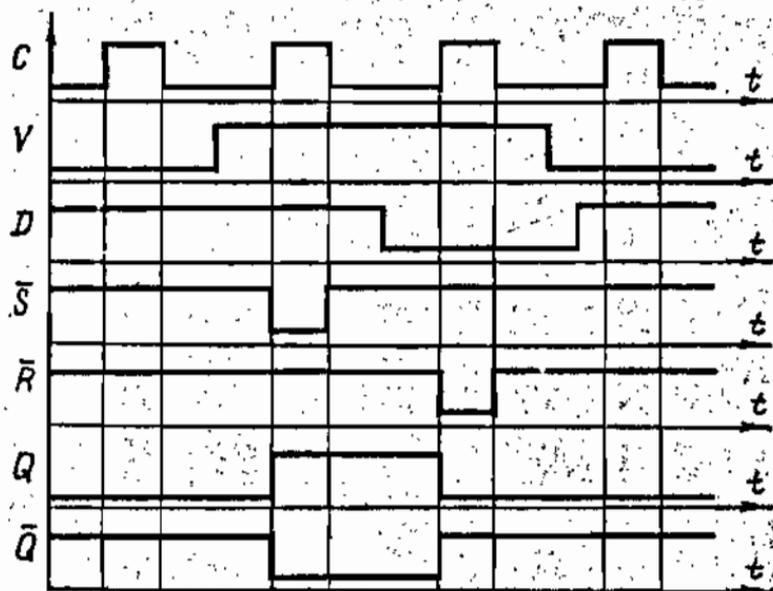


Рис. 12. Временная диаграмма работы синхронного  $DV$ -триггера со статическим управлением записью.

значениях задержек и фронтов логических элементов. Легко заметить, что  $V$ - и  $C$ - входы можно поменять местами без нарушения логики работы  $DV$ -триггера.

У  $JK$ -триггера прием входной информации определяется ОС о выходов триггера. Если на  $J$ - и  $K$ - входы подан сигнал единицы и если синхронизирующий импульс больше по длительности, чем время срабатывания триггера (что обычно и бывает), то в этом случае на выходах  $JK$ -триггера со статическим управлением записью наблюдается генерация. Поэтому построение синхронного  $JK$ -триггера со статическим управлением записью не имеет смысла.

### 3.2. Синхронные двухступенчатые триггеры

Синхронный двухступенчатый триггер или триггер, построенный по принципу *master-slave* ( $MS$ -триггер), — это триггерная схема, состоящая из двух частей-триггеров: *master* и *slave* (основного и дополнительного), одновременный прием информации в котором запрещен (*master*-часть — первая ступень, *slave*-часть — вторая ступень синхронного двухступенчатого триггера). Для построения первой и второй ступеней используются синхронные триггеры со статическим управлением записью, причем для построения второй ступени чаще всего используется синхронный  $RS$ -триггер (рис.13). Информация во вторую ступень поступает только после приема ее в первую ступень и окончания синхронизирующего импульса, разрешающего запись входной информации в первую ступень. Такая последовательность в приеме информации достигается включением инвертора в цепь синхронизирующих импульсов для второй ступени.

Если на синхронизирующий вход подается сигнал единицы, то входная информация принимается в первую ступень (основной триггер). В это время вторая ступень (вспомогательный триггер) остается в покое. Информация в первую ступень принимается в течение всей длительности синхронизирующего импульса. Если состояние синхронизирующего входа равно нулю (синхронизирующий импульс отсутствует), то прием информации в первую ступень запрещен. В это время вторая ступень принимает (копирует) информацию, хранимую в первой ступени. При  $C=0$  разрешается смена сигналов на логических входах триггера.



RS-триггер. Синхронный двухступенчатый RS-триггер представляет собой схему, состоящую из двух синхронных RS-триггеров со статическим управлением записью (рис. 14). Идеализированная временная диаграмма, иллюстрирующая логику работы двухступенчатого RS-триггера, приведена на рис. 15. Из рассмотрения временной диаграммы видно, что сигнал на выходе триггера изменяется только после окончания синхронизирующего импульса.

Как первая, так и вторая ступени триггера могут быть построены на элементах И-ИЛИ-НЕ. На рис. 16 это показано на примере второй ступени RS-триггера. В этом триггере для инвертирования синхронизирующего импульса, подводимого ко второй ступени, используется не отдельный инвертор, а элементы управляющей схемы первой ступени. Синхронизирующий сигнал поступает ко второй ступени по одному из двух каналов.

JK-триггер. Любой синхронный двухступенчатый RS-триггер, который имеет несколько S- и R-входов, объединенных функцией конъюнкции, может быть преобразован в синхронный двухступенчатый JK-триггер. Для этого необходимо завести ОС с выходов триггера на его входы: с выхода Q на вход R, а с выхода  $\bar{Q}$  на вход S (см. рис. 14). Обычно в синхронном двухступенчатом JK-триггере эта связь действует постоянно.

Другой пример синхронного двухступенчатого JK-триггера приведен на рис. 17. Здесь элементы 5 и 6, отделяющие вторую ступень от первой во время действия синхронизирующего импульса, управляются не отдельным инвертором, а элементами схемы управления первой ступени (элементы 1 и 2). Если синхронизирующий сигнал равен нулю, то элементы 1 и 2 закрыты и изменения сигналов на входах J и K не влияют на состояние триггера. Передний фронт синхронизирующего импульса в зависимости от состояния триггера и входных сигналов переключает элемент 1 или элемент 2, сигнал с которых вначале отсоединяет вторую ступень от первой, а затем устанавливает запоминающую ячейку первой ступени в требуемое состояние. Задний фронт синхронизирующего импульса сначала отделяет первую ступень от входной информации, а затем включает элементы 5 и 6, разрешая запоминающей ячейке второй ступени скопировать состояние запоминающей ячейки первой ступени.

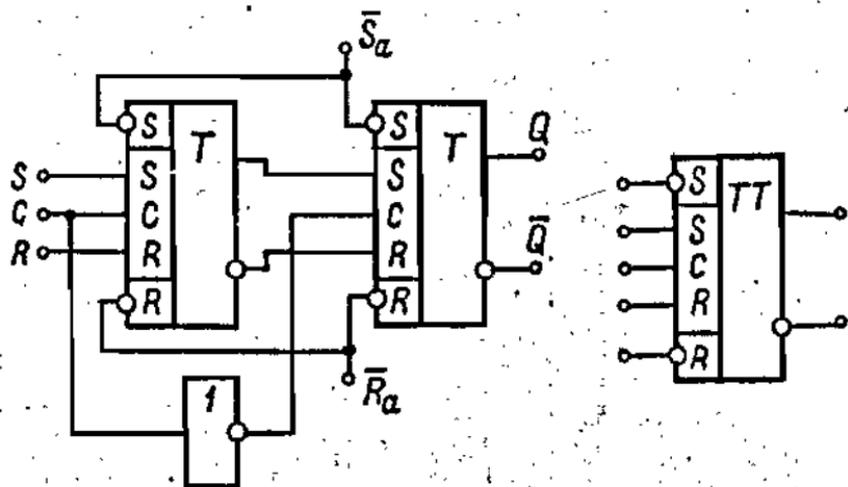
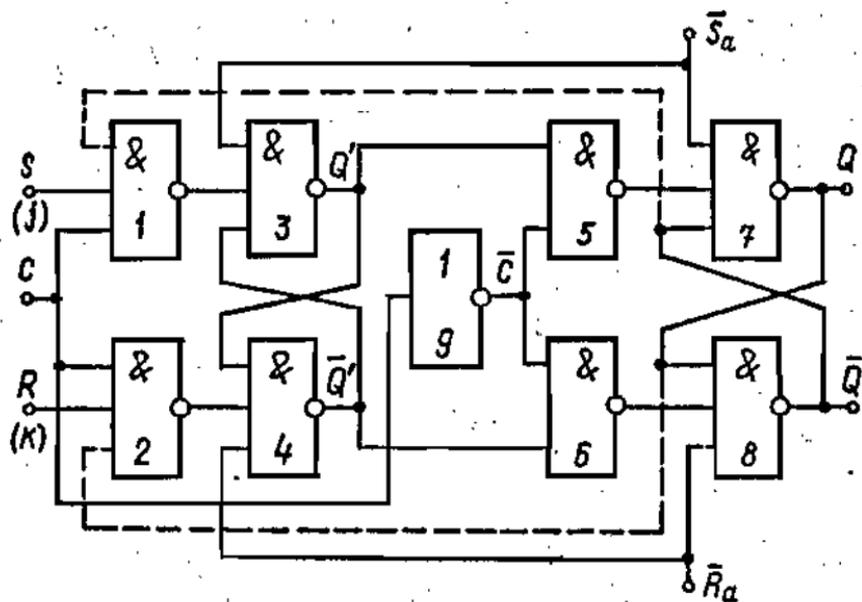


Рис. 14. Синхронный двухступенчатый RSRS-триггер с асинхронными входами  $\bar{S}_a$  и  $\bar{R}_a$  и его условное обозначение (пунктиром показана ОС для JKRS-триггера).

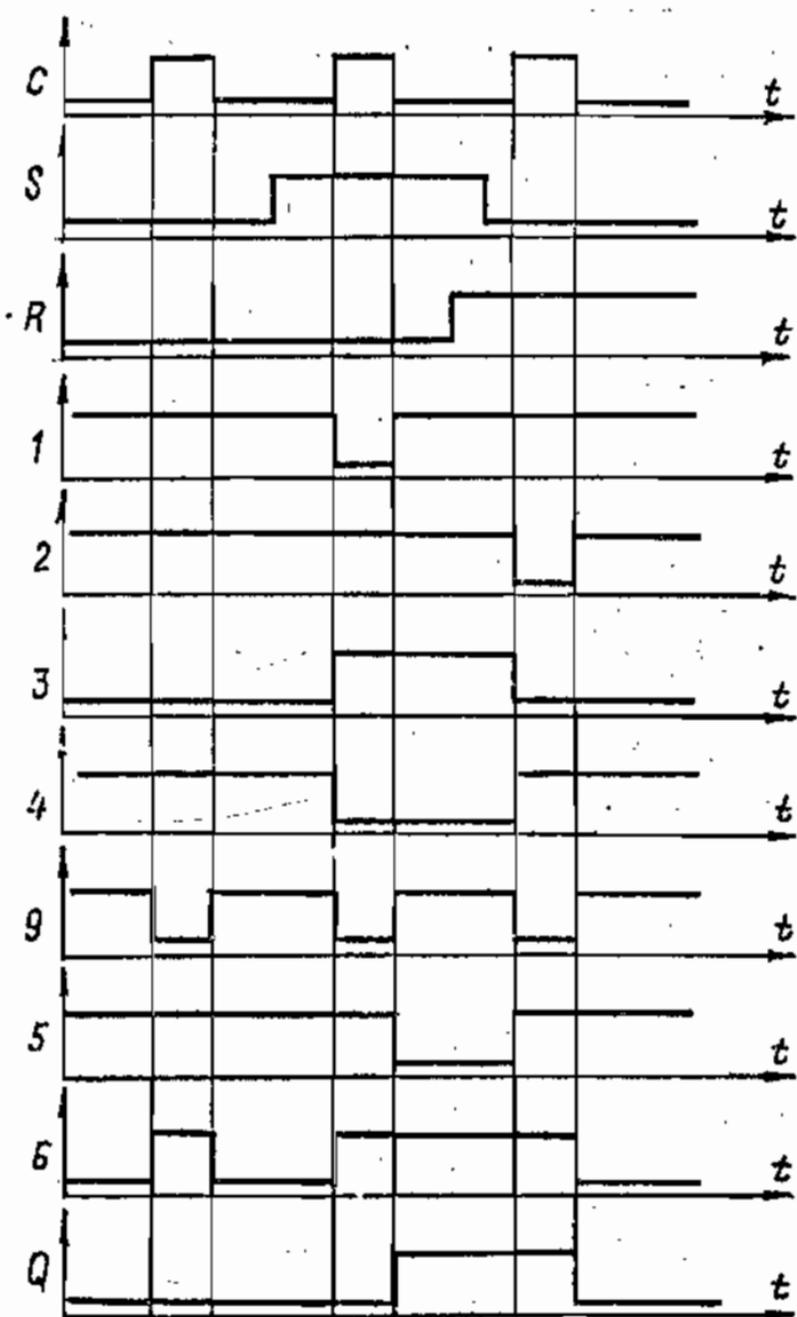


Рис. 15. Временная диаграмма работы синхронного двухступенчатого RS-триггера.

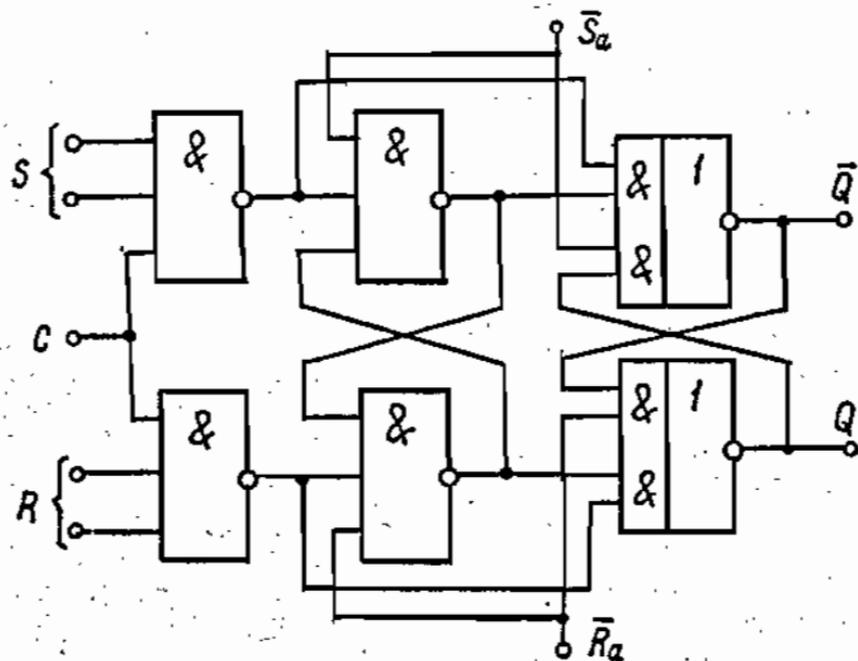


Рис. 16. Синхронный двухступенчатый  $RSRS$ -триггер с асинхронными входами  $\bar{S}_a$  и  $\bar{R}_a$ .

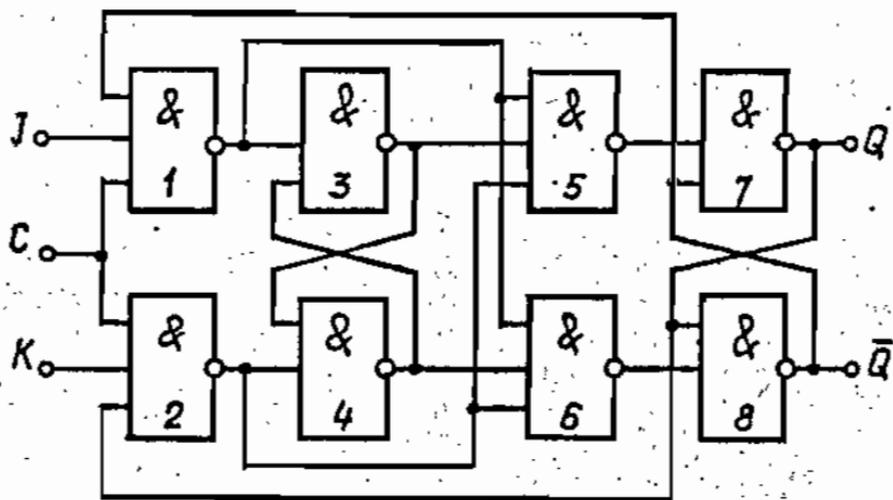


Рис. 17. Синхронный двухступенчатый  $JK$ -триггер.

По временной диаграмме (рис. 18) работы синхронного двухступенчатого JK-триггера (см. рис. 17) можно определить задержку изменения выходных сигналов по отношению к заднему фронту синхронизирующего импульса. Задержки отрицательного и положительного фронтов триггера

$$t_{3, \varphi, \tau}^- = 2(t_{3, \varphi}^+ + t_{3, \varphi}^-), \quad (8)$$

$$t_{3, \varphi, \tau}^+ = 2t_{3, \varphi}^+ + t_{3, \varphi}^-. \quad (9)$$

По временной диаграмме также можно определить максимальную частоту синхронизирующих импульсов.

Очередное изменение сигнала разрешается подавать на синхронизирующий вход триггера только после того, как закончатся все переходные процессы в схеме и на выходах всех элементов установятся значения сигналов, соответствующие предыдущему изменению синхронизирующего импульса.

Максимальная частота синхронизирующих импульсов, подаваемых на С-вход синхронного двухступенчатого JK-импульса триггера

$$f_{\max} = \frac{1}{t_{\min} + t_{3, \varphi, \tau}^+ + t_{\varphi}^-}, \quad (10)$$

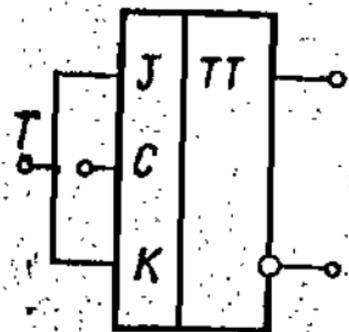
где  $t_{\min} = 2t_{3, \varphi}^- + t_{3, \varphi}^+ + t_{\varphi}^-$  — минимальная длительность синхронизирующего импульса;  $t_{3, \varphi, \tau}^-$  — задержка отрицательного фронта триггера,  $t_{\varphi}^-$  — время отрицательного фронта элемента И-НЕ.

JK-триггер относится к числу универсальных. Это объясняется тем, что JK-триггер можно легко (практически без дополнительных элементов) настроить на выполнение функций T-, D- и RS-триггеров (рис. 19).

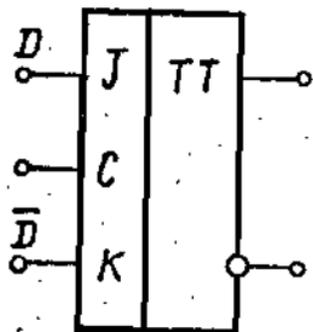
D-триггер. Синхронный двухступенчатый D-триггер можно получить, если в качестве первой ступени взять синхронный D-триггер со статическим управлением записью, а для построения второй ступени использовать RS-триггер со статическим управлением записью (рис. 20). Временная диаграмма работы D-триггера приведена на рис. 22. На рис. 21 показана видоизмененная структура синхронного двухступенчатого D-триггера.

DV-триггер. Если к D-триггеру добавить еще один вход V для запрета синхронизирующего импульса (пунктирная линия на рис. 20 и 21), то получится синхронный двухступенчатый DV-триггер. На рис. 23 приведена временная диаграмма работы DV-триггера, изображенного на рис. 24.

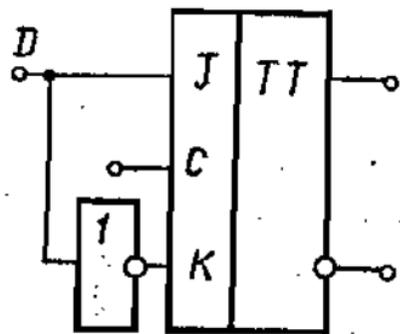




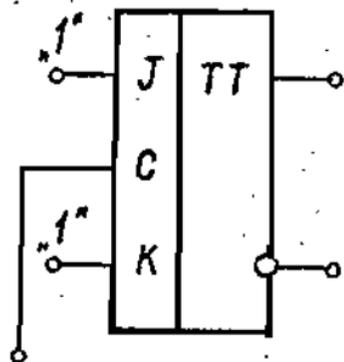
T-триггер



D-триггер



D-триггер



Вход для асинхронной работы триггера

Рис. 19. Функции, выполняемые JK-триггером.

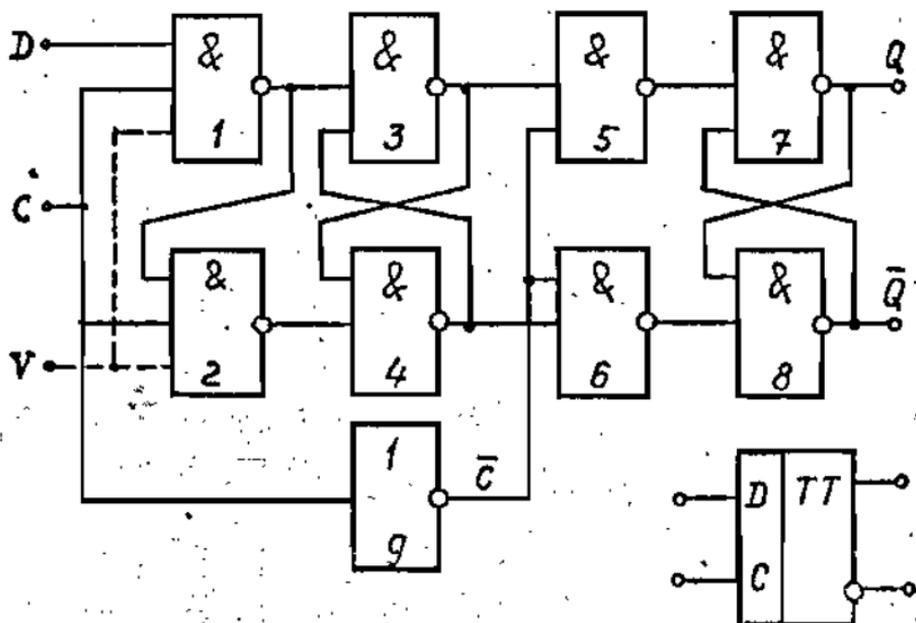


Рис. 20. Синхронный двухступенчатый D-триггер  
и его условное обозначение  
(пунктиром показан V-вход для DV-триггера).

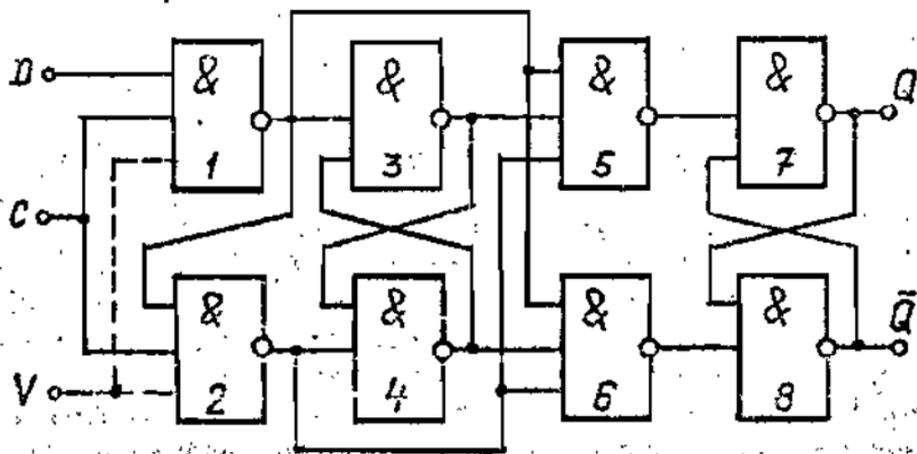


Рис. 21. Синхронный двухступенчатый D-триггер  
(пунктиром показан V-вход для DV-триггера).

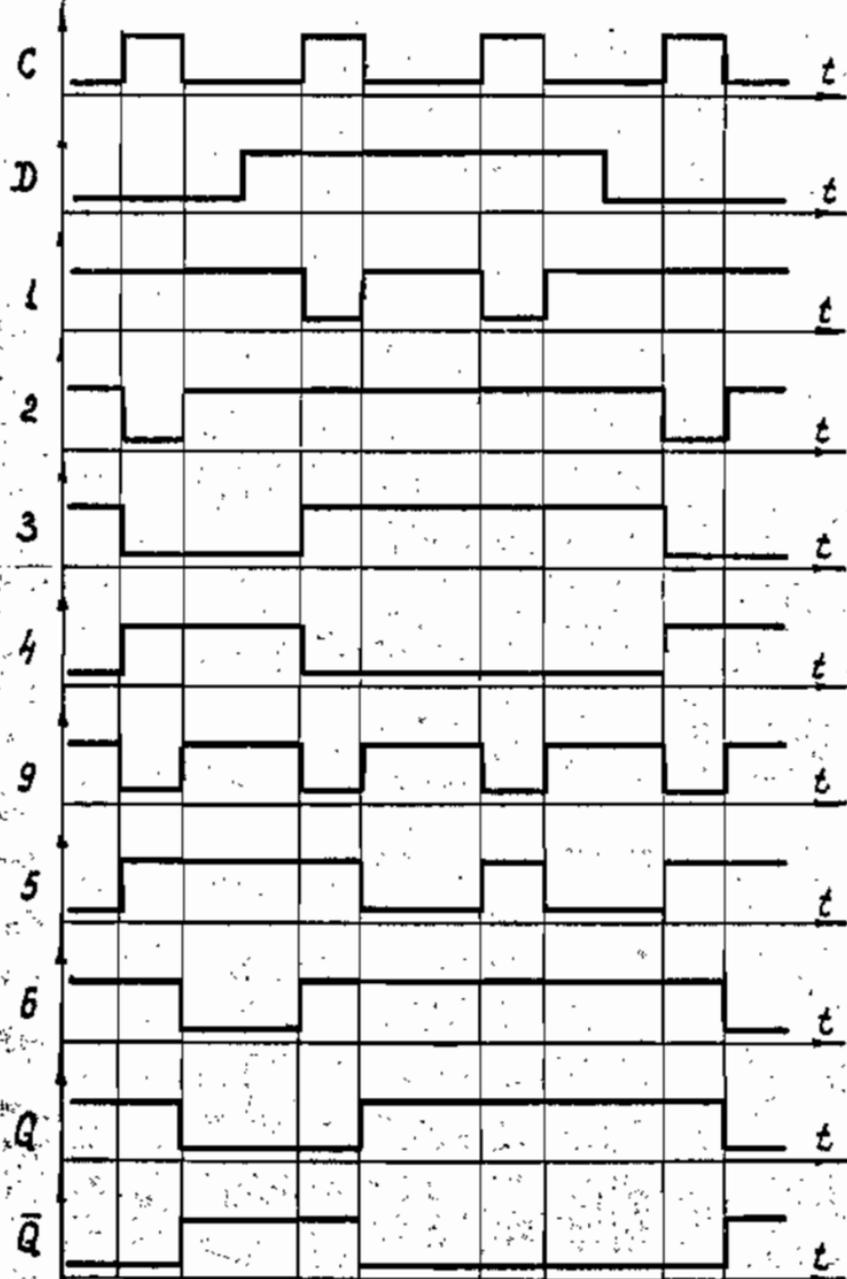


Рис. 22. Временная диаграмма работы синхронного двухступенчатого D-триггера.

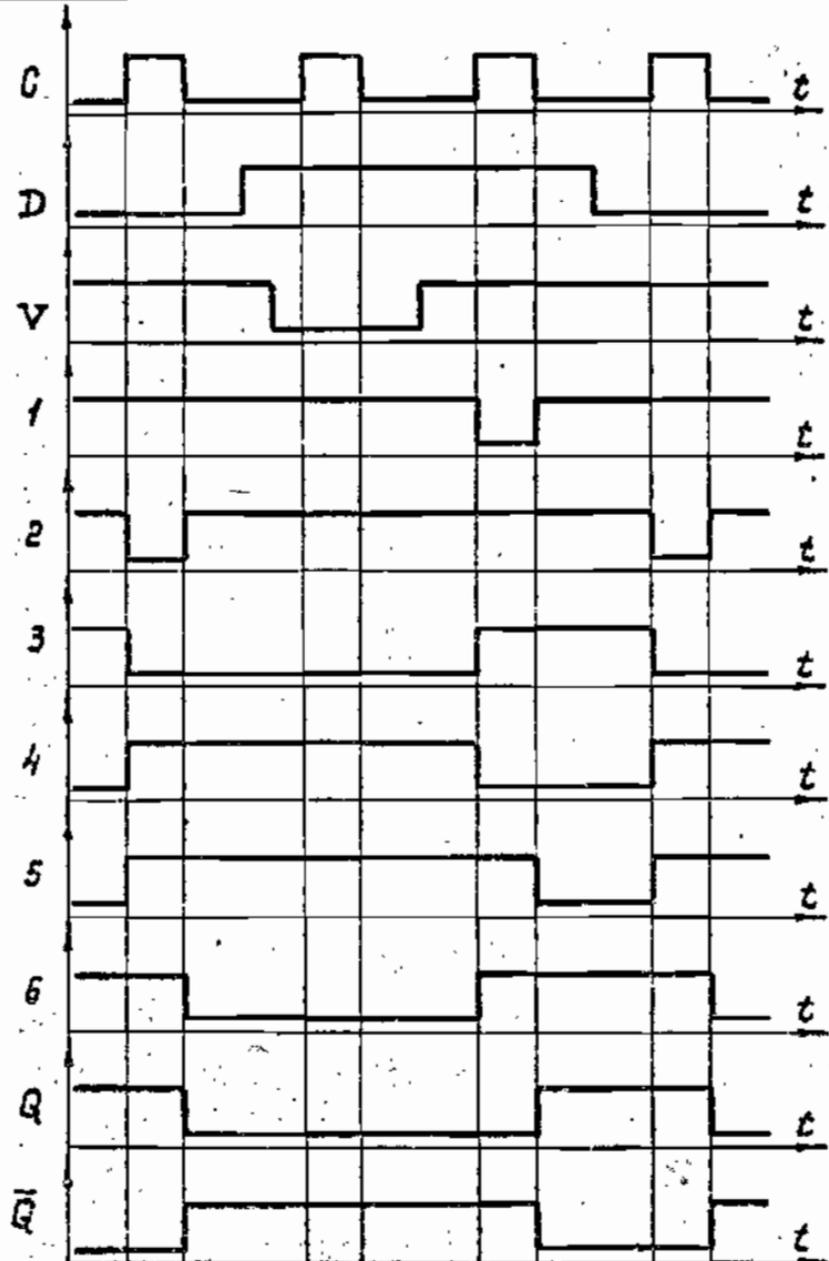


Рис. 23. Временная диаграмма работы синхронного двухступенчатого *DV*-триггера.

*DV*-триггер также относится к числу универсальных. Коммутация триггера на выполнение функций *T*- и *D*-триггеров показана на рис. 24.

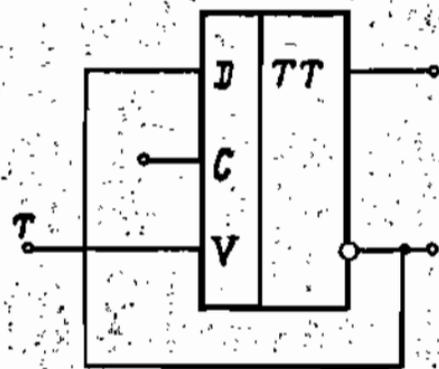
### 3.3. Синхронные триггеры с динамическим управлением записью

Отличительная черта синхронных триггеров с динамическим управлением записью — изменение состояния триггера при изменении сигнала на синхронизирующем входе в определенном направлении: или из 0 в 1, или из 1 в 0 (т.е. триггер управляется фронтом 0/1 или 1/0). В первом случае триггер имеет прямой динамический *C*-вход, а во втором — инверсный динамический *C*-вход.

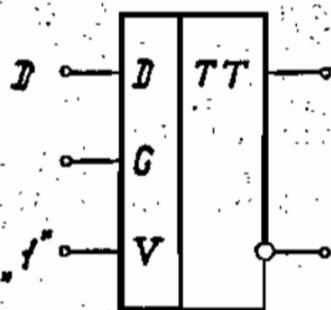
В триггерах, построенных из дискретных компонентов, управление фронтом сигнала осуществляется чаще всего дифференцированием синхронизирующего импульса *RC*-цепочкой. При переходе на интегральную технологию возникают трудности получения конденсаторов с узкими допусками. Поэтому большей частью структуру интегрального триггера с динамическим управлением записью строят из логических элементов.

Рассмотрим общие свойства триггера с динамическим управлением записью. Для триггера с инверсным динамическим *C*-входом входная информация принимается в схему управления триггера в течение некоторого промежутка времени с момента изменения синхронизирующего сигнала из нуля в единицу. При этом выходной сигнал триггера остается неизменным. Триггер только тогда изменит свое состояние, когда произойдет изменение синхронизирующего сигнала из единицы в нуль. Переход триггера в новое состояние произойдет в соответствии с тем значением входных сигналов, которые были в момент фронта 1/0 синхронизирующего сигнала. При *C*=0 исходный сигнал триггера не изменяется при изменении сигналов на его логических входах.

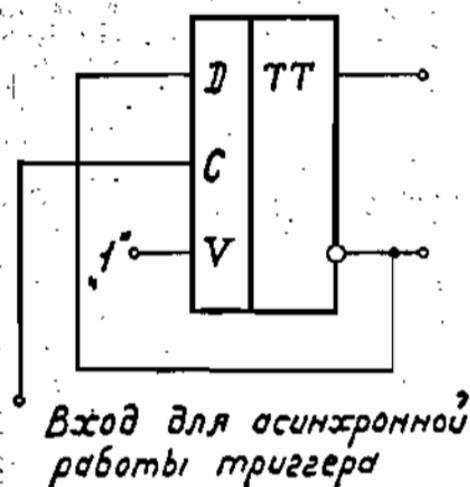
Для триггера с прямым динамическим синхронизирующим входом переход из одного состояния в другое происходит на фронте 0/1 синхронизирующего сигнала, а на фронте 1/0 происходит прием входной информации в схему управления триггера.



Т-триггер



D-триггер



Вход для асинхронной работы триггера

Рис. 24. Функции, выполняемые DV-триггером.

Таким образом, существует лишь небольшой промежуток времени на фронтах  $0/1$  и  $1/0$ , когда запрещено изменение сигналов на логических входах триггера. Напомним, что в двухступенчатых триггерах изменение входных сигналов запрещено в течение всего синхронизирующего импульса.

Более подробно свойства триггеров с динамическим управлением записью будут рассмотрены на примерах.

RS-триггер. Принципиальная схема триггера с прямым динамическим  $S$ -входом на элементах И-НЕ приведена на рис. 25.

Рассмотрим как работает данный триггер (рис. 26). Элемент И-НЕ закрыт, если хотя бы на одном из его входов  $0$ , и он открыт, если на всех его входах  $1$ . В первом случае на выходе элемента всегда будет сигнал единицы, во втором — нуля.

Последовательность работы триггера:

1. В исходном состоянии ( $S=0$ ) элементы 3 и 4 закрыты. На их выходах —  $1$ , которая поступает на один из двух входов, имеющихся у элементов 5 и 6. Следовательно, входная информация будет проинвертирована этими элементами.

2. Если синхронизирующий сигнал изменяет свое состояние с  $0$  на  $1$ , то с элементов 3 и 4 снимается запрет, а элементы 5 и 3 или 4 и 6 образуют вспомогательный триггер (запоминающую ячейку) для запоминания входной информации. Сигналы на входе не должны изменяться после окончания фронта синхронизирующего импульса до тех пор, пока не зафиксируется вспомогательный триггер. Это время равно времени задержки отрицательного фронта логического элемента плюс время фронта. Вспомогательный триггер запирает элементы, на входы которых с этого триггера поступает нуль, т.е. элементы 4 и 5 или 3 и 6.

3. Сигнал нуля с выхода вспомогательного триггера переключает запоминающую ячейку, построенную на элементах 1 и 2. С задержкой, равной тройному времени срабатывания логических элементов, относительно начала синхронизирующего импульса установится новое значение сигнала на выходе триггера. Сигналы с выхода триггера могут поступать как на собственные входы (счетный каскад), так и на входы следующего триггера (например, в случае регистра). Однако данные сигналы не могут перебросить триггер, так как его входы закрыты вспомогательным триггером. Существу-

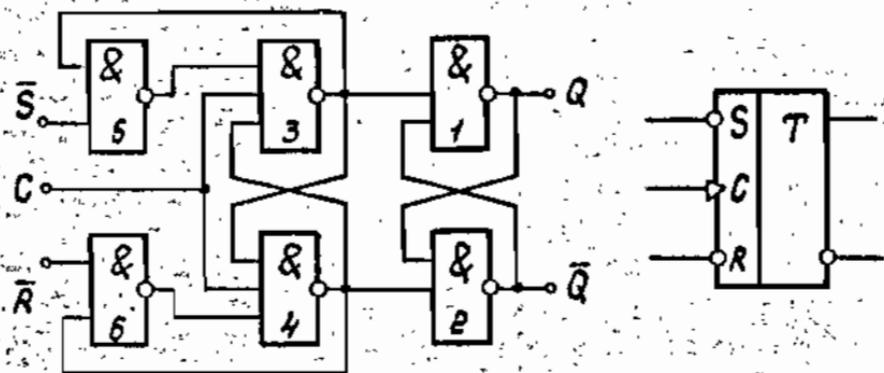


Рис. 25. Синхронный  $RS$ -триггер с прямым динамическим  $C$ -входом и его условное обозначение.

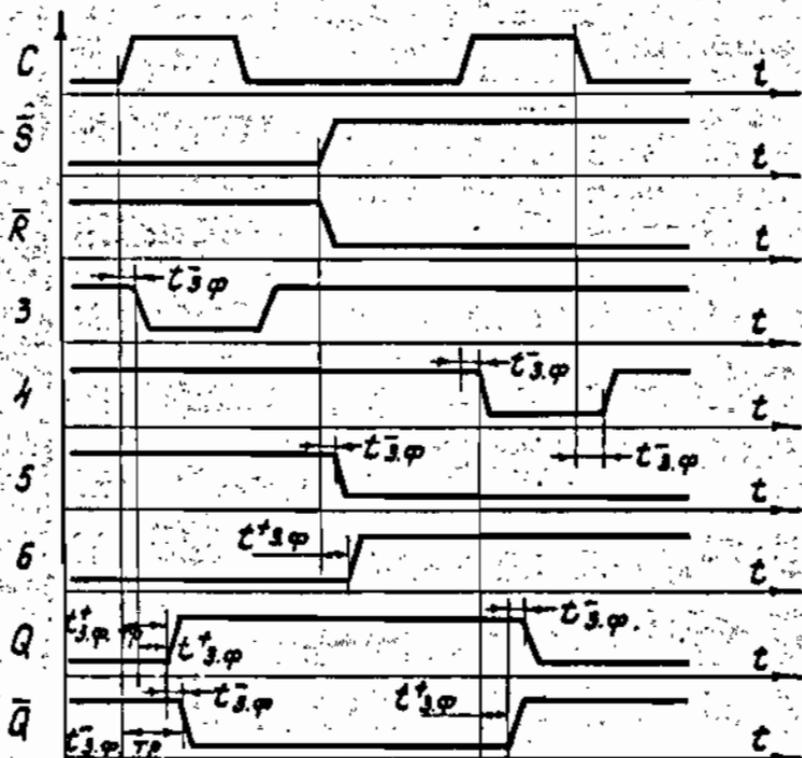


Рис. 26. Временная диаграмма работы синхронного  $RS$ -триггера с прямым динамическим  $C$ -входом.

ет единственное временное условие: элементы 5 и 6 должны запи-  
раться быстрее переключения запоминающей ячейки, составленной  
из элементов 1 и 2.

4. Если синхронизирующий сигнал снова принимает состояние 0,  
то элементы 3 и 4 закрываются, а на выходах элементов 5 и 6 фик-  
сируется проинвертированная новая входная информация.

По временной диаграмме (см. рис. 26) работы синхронного RS-  
триггера с прямым динамическим управлением записью определим  
задержку изменения выходных сигналов по отношению к переднему  
фронту синхронизирующего импульса. Задержки положительного и  
отрицательного фронтов триггера

$$t_{3\varphi, r}^+ = t_{3\varphi}^- + t_{3\varphi}^+, \quad (11)$$

$$t_{3\varphi, r}^- = 2t_{3\varphi}^- + t_{3\varphi}^+. \quad (12)$$

Для RS-триггера, изображенного на рис. 25, при  $S=R=0$   
( $\bar{S}=\bar{R}=1$ ) запирашке логических входов в течение синхронизиру-  
ющего импульса ( $C=1$ ) не происходит и изменение сигнала на одном  
из них может перебросить триггер. Поэтому этот триггер может  
применяться только в сдвиговых регистрах, когда входы одного  
триггера связаны с выходами предыдущего, т.е. состояние  $S=R=0$   
невозможно.

На рис. 27 представлен другой вариант синхронного RS-триг-  
гера с динамическим управлением записью. Триггер построен на  
элементах ИЛИ-НЕ. Здесь выход  $Q$  связан с входом  $S$ , а выход  
 $\bar{Q}$  с входом  $R$ , т.е. обратная связь противоположна обратной свя-  
зи JK-триггера. Она служит не для устранения запрещенной ком-  
бинации  $S=R=1$ , а для отключения логических входов триггера.

JK-триггер. Синхронный: JK-триггер с динамическим управ-  
лением записью можно получить, если на входы синхронного RS-  
триггера с динамическим управлением записью ввести ОС с выхо-  
дов по правилу, изложенному в описании синхронных двухступенча-  
тых триггеров. При этом следует иметь в виду, что изменения вы-  
ходного сигнала по шинам ОС должны поступать только после отклю-  
чения логических входов вспомогательным триггером. При несоблю-  
дении этого условия новая входная информация изменит опять сиг-  
нал на выходе триггера, что приведет к генерации схемы. Ло-  
гическая структура JK-триггера на рис. 28 получена из схемы  
синхронного RS-триггера с динамическим управлением записью

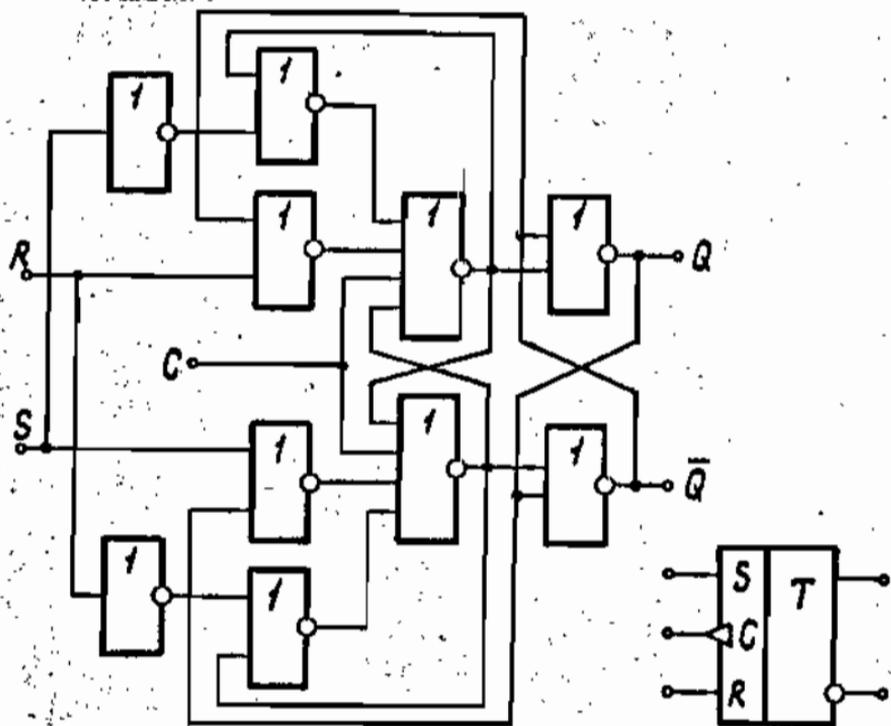


Рис. 27. Синхронный RS-триггер с инверсным динамическим С-входом и его условное обозначение.

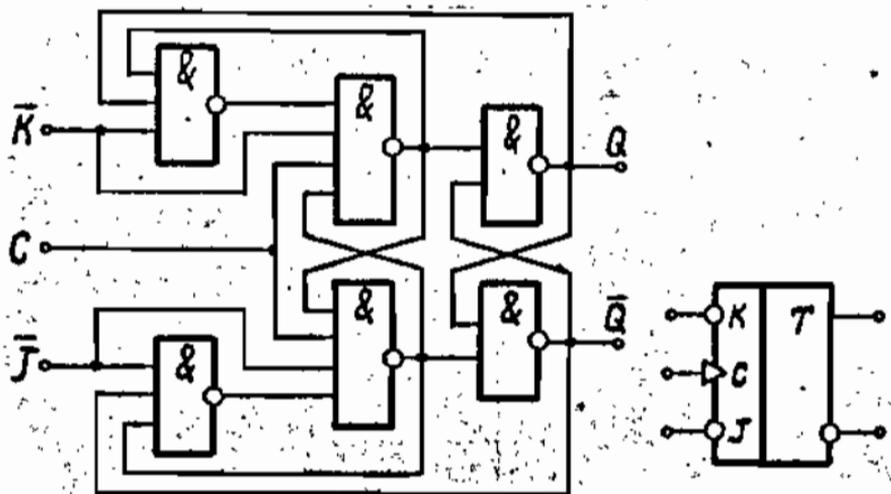


Рис. 28. Синхронный JK-триггер с прямым динамическим С-входом и его условное обозначение.

(см. рис. 25). Логическая структура синхронного JK-триггера на элементах ИЛИ-НЕ с управлением по фронту I/O синхронизирующего импульса приведена на рис. 29. Временная диаграмма работы этого триггера (рис. 30) построена для отрицательной логики, т.е. логической единице здесь соответствует низкий уровень напряжения, а нулю - высокий.

Задержки отрицательного и положительного фронтов этого триггера

$$t_{3.ф.тp}^- = 2t_{3.ф}^- + t_{3.ф}^+, \quad (13)$$

$$t_{3.ф.тp}^+ = t_{3.ф}^- + t_{3.ф}^+. \quad (14)$$

D-триггер. Логическая структура синхронного D-триггера с динамическим управлением записью представлена на рис. 31. Работа D-триггера поясняется временной диаграммой рис. 32. Как видно из временной диаграммы, триггер переключается по переднему фронту синхронизирующего сигнала. Временные параметры D-триггера определяются выражениями (13) и (14).

DV-триггер. Варианты логической структуры синхронного DV-триггера с динамическим управлением записью представлены на рис. 33. Идеализированная временная диаграмма работы DV-триггера, построенного на элементах И-НЕ, изображена на рис. 34.

Отметим, что среди синхронных триггеров наиболее простыми являются триггеры со статическим управлением записью. Но для реализации сдвиговых регистров, счетчиков и т.п. необходимо удвоенное число этих триггеров и, кроме того, требуются две серии управляющих импульсов, сдвинутых во времени. Двухступенчатые триггеры и триггеры с динамическим управлением записью строят из относительно большого числа логических элементов, но структуры различных узлов ЦМ, построенные с их использованием, получаются более простыми. Внутренняя организация данных триггеров позволяет реализовать любую таблицу переходов, в то время как построить триггер со статическим управлением записью, переходы которого определяются состоянием триггера (например, JK-триггер), невозможно. По сложности двухступенчатые триггеры и триггеры с динамическим управлением записью примерно равны, но триггер с динамическим управлением записью обладает большим быстродействием. Двухступенчатые триггеры и триггеры с динамическим управле-

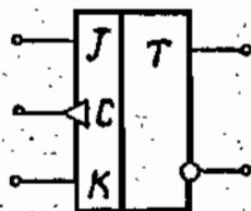
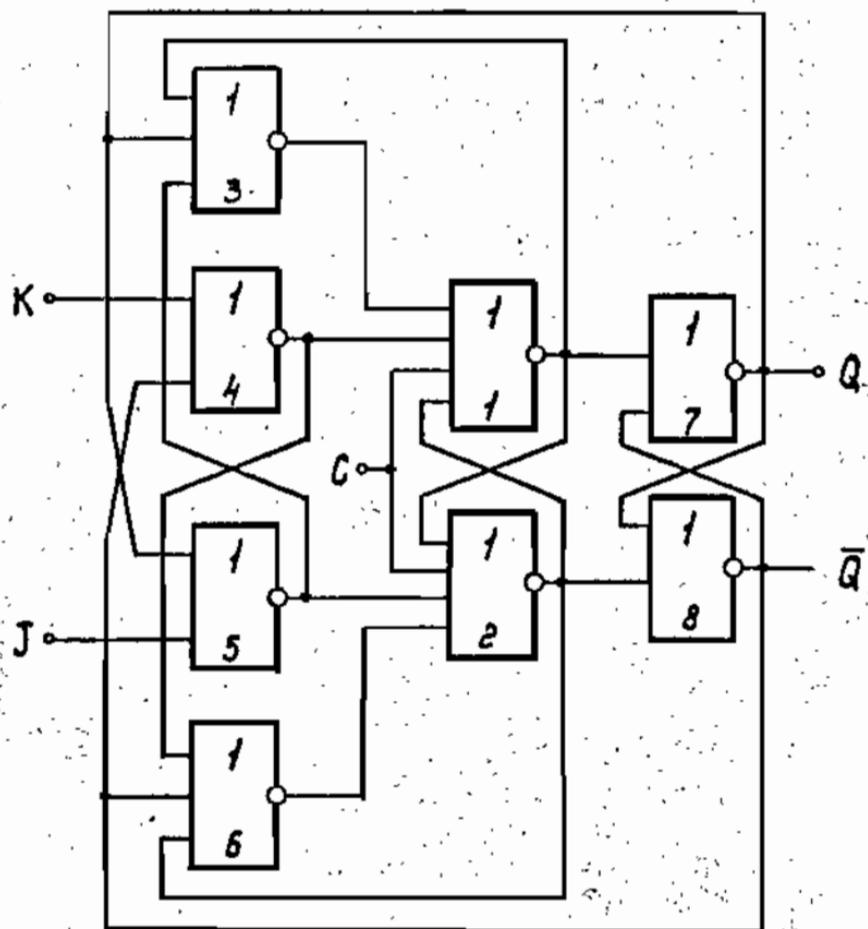


Рис. 29. Синхронный JK-триггер с инверсным динамическим синхронизирующим вводом и его условное обозначение.

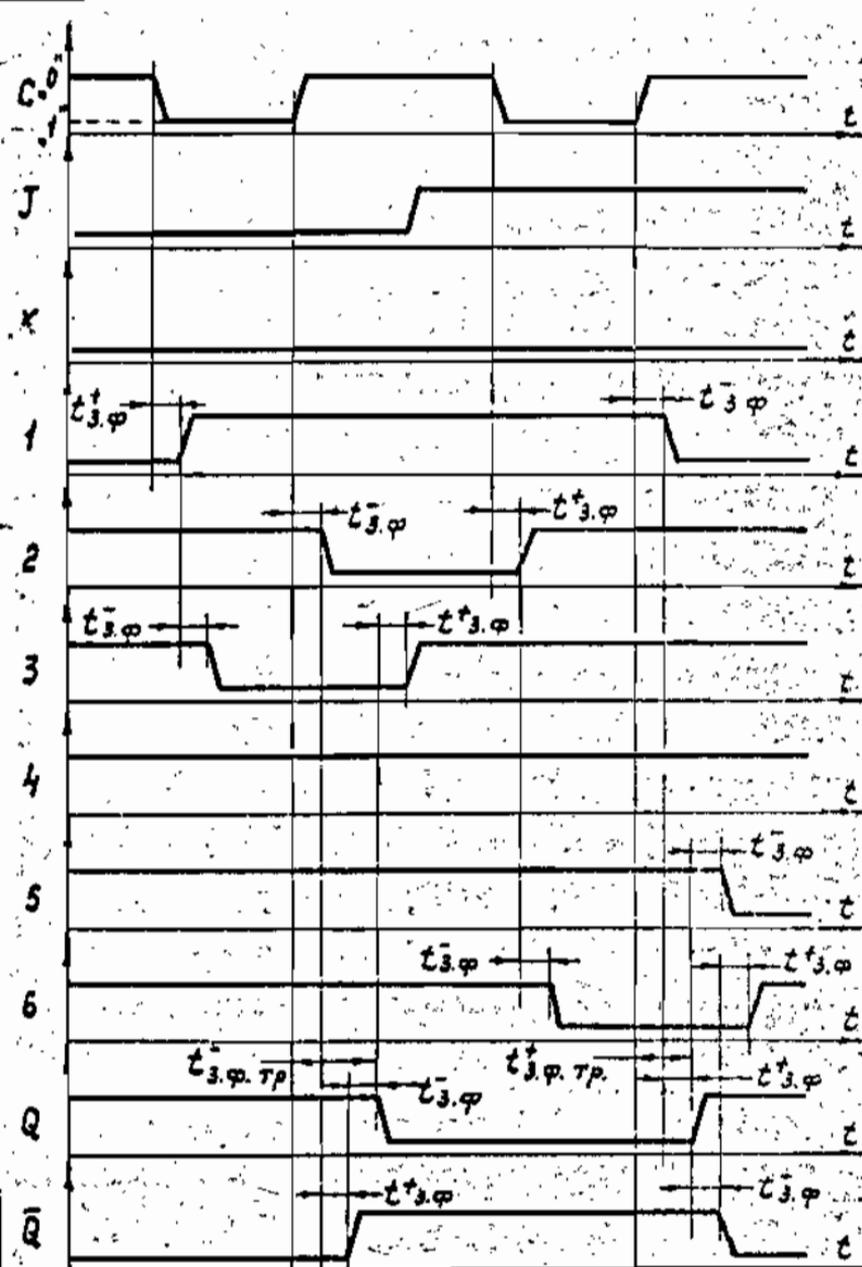


Рис. 30. Временная диаграмма работы синхронного  
JK-триггера с инверсным динамическим  
C-входом.

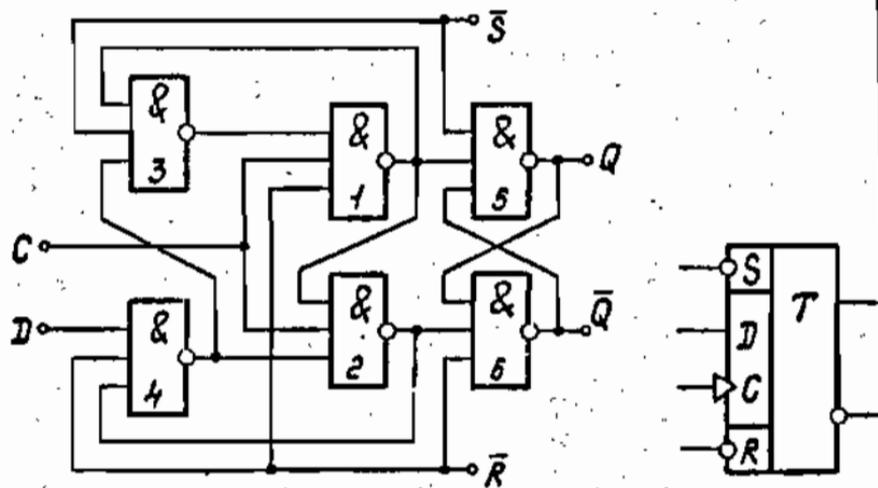


Рис. 31. Синхронный  $DRS$ -триггер с прямым динамическим  $S$ -входом и его условное обозначение.

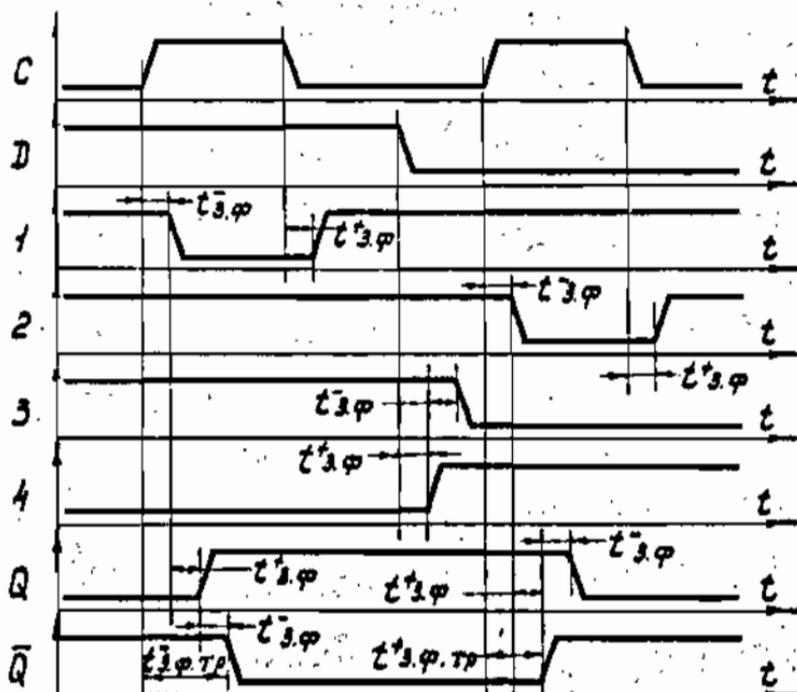
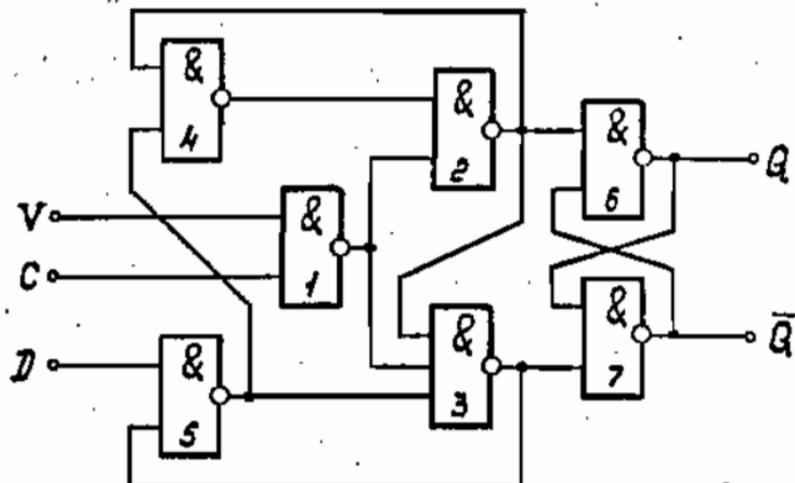
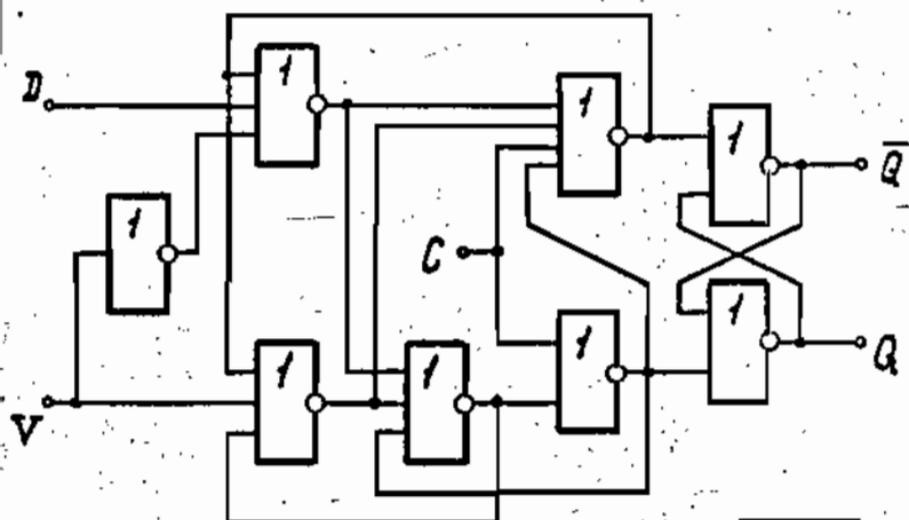


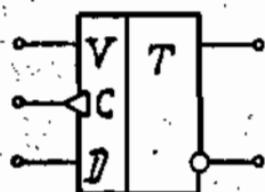
Рис. 32. Временная диаграмма работы синхронного  $D$ -триггера с прямым динамическим  $S$ -входом.



а



б



в

Рис. 33. Синхронный DV-триггер с инверсным динамическим С-входом: а - на элементах И-НЕ; б - на элементах ИЛИ-НЕ; в - условное обозначение триггера.

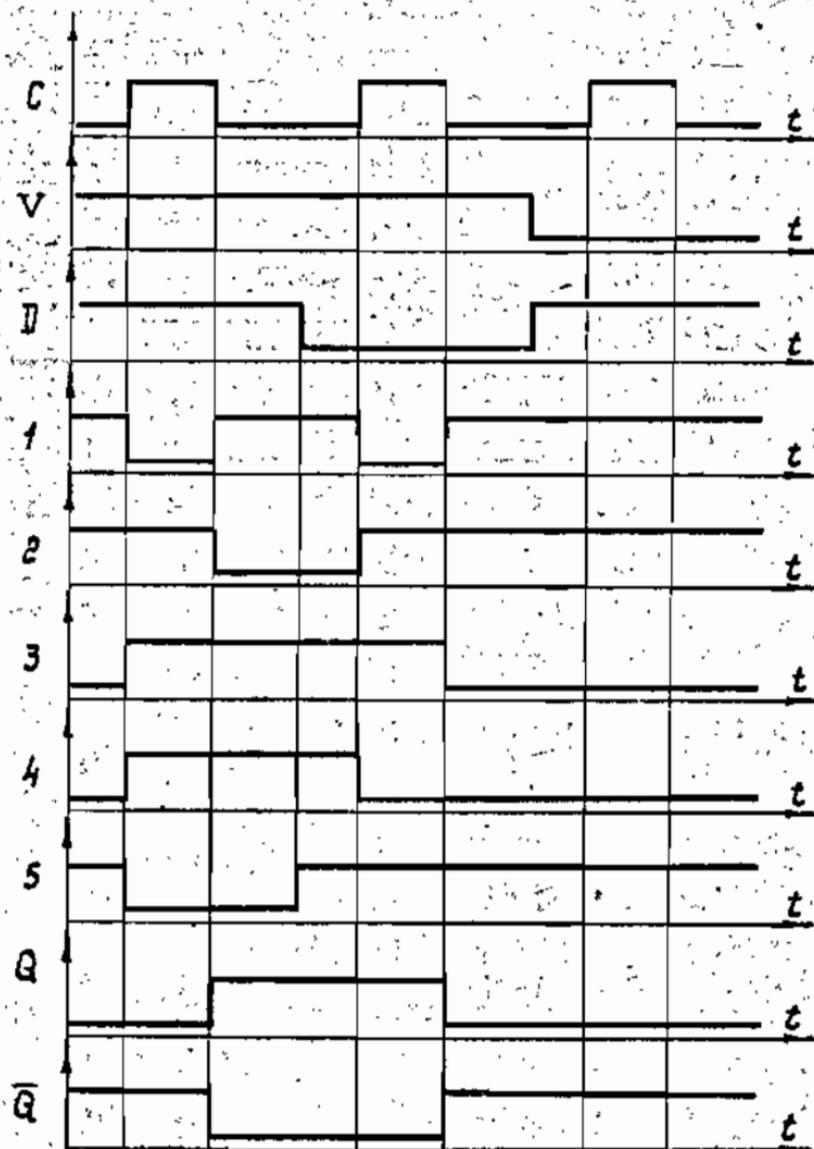


Рис. 34. Временная диаграмма работы синхронного DV-триггера.

нием записью реализуются, как правило, в виде одной интегральной схемы и входят практически в состав всех систем интегральных элементов.

#### § 4. Классификация синхронных триггерных схем по асинхронному поведению

Как уже отмечалось, для задания закона функционирования триггерных схем чаще всего используется таблица внешних переходов триггера. Таблица внешних переходов синхронного триггера описывает только его синхронную работу, при которой изменения сигналов на логических входах триггера происходят только между синхронизирующими импульсами ( $C=0$ ). Но синхронные триггеры применяются и для построения асинхронных схем. В этом случае сигналы на логических входах могут изменяться и при  $C=1$ . Различие между синхронной и асинхронной работой триггера можно показать на примере построения двоично-десятичного счетчика в коде 8421. При синхронном исполнении счетчика синхронизирующие входы всех JK-триггеров непосредственно управляются от источника синхронизирующих сигналов (рис. 35). На логические входы J и K подаются сигналы с выходов триггеров или с выходов логических элементов, управляемых триггерами. Все процессы переключения в синхронном счетчике начинаются одновременно с приходом общего синхронизирующего сигнала и заканчиваются практически одновременно.

У асинхронного счетчика (рис. 36) отсутствует общее синхронное управление. На синхронизирующий вход триггера могут поступать сигналы с выходов логических элементов или триггеров. Преимуществом асинхронной организации счетчиков является простота получаемой структуры. Но при проектировании асинхронных схем необходимо учитывать внутреннюю организацию триггерных схем. Покажем это на примере того же двоично-десятичного счетчика. На рис. 37 приведена структура счетчика, но построенная уже на JK-триггерах с динамическим управлением записью. Из сравнения

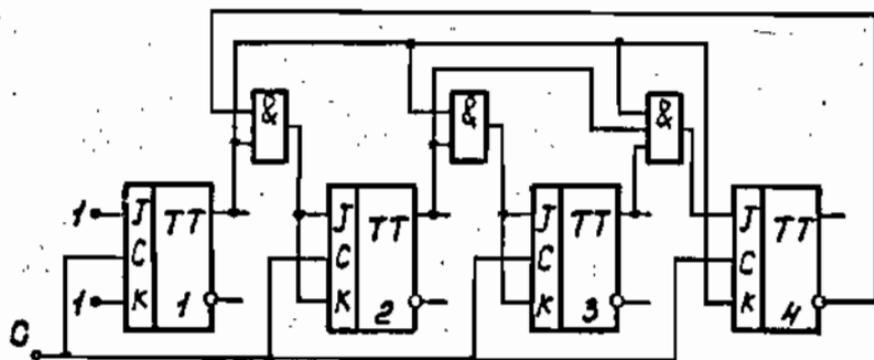


Рис. 35. Синхронный двоично-десятичный счетчик в коде 8421 на JK-триггерах.

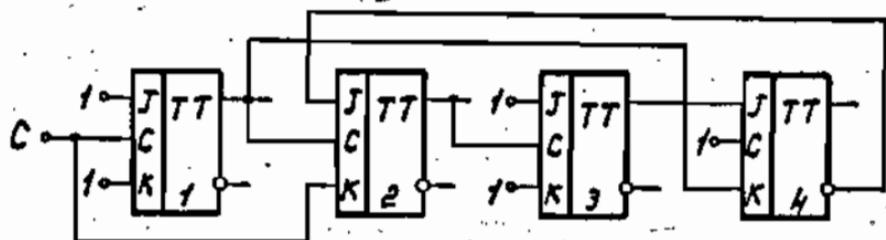


Рис. 36. Асинхронный двоично-десятичный счетчик в коде 8421 на JK-триггерах (тип I).

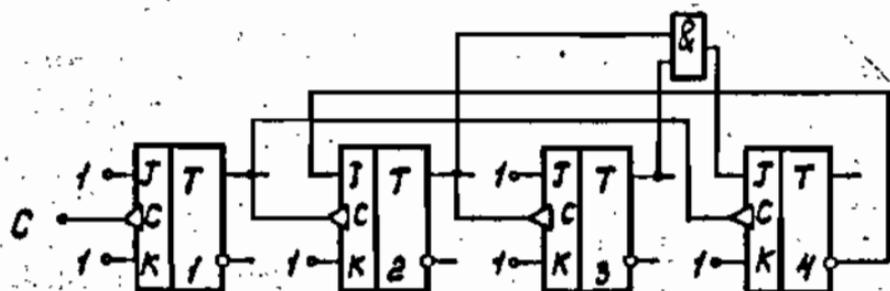


Рис. 37. Асинхронный двоично-десятичный счетчик в коде 8421 на JK-триггерах (тип 3).

рис.36 и 37 ясно видна разница структур асинхронных счетчиков. Структура синхронного счетчика (рис.35) останется неизменной, если двухступенчатые JK-триггеры заменить на JK-триггеры с динамическим управлением записью.

Таким образом, асинхронное поведение синхронного триггера отличается от синхронного, оно различно и для двух триггеров с разным внутренним строением. Следовательно, необходима определенная классификация, которая позволила бы ориентироваться среди синхронных триггеров с различным асинхронным поведением.

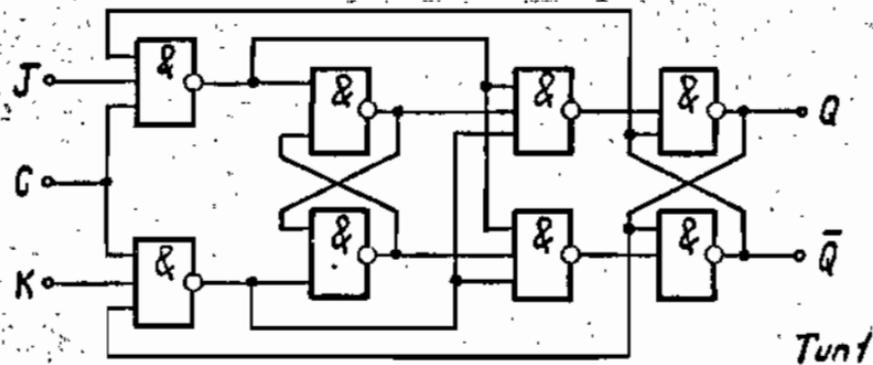
Ниже в зависимости от характера асинхронного поведения синхронные триггеры классифицируются как тип 1, 2, 3 и т.д. [7]. На рис.38 приведены в качестве примера три типа синхронного JK-триггера, отличающиеся внутренней структурой. Вообще говоря, каждый тип триггера может быть реализован несколькими способами. Две различные структуры синхронного DV-триггера, относящиеся к первому типу, показаны на рис.39.

Очевидно, возможны и другие типы триггеров, но структуры их пока неизвестны.

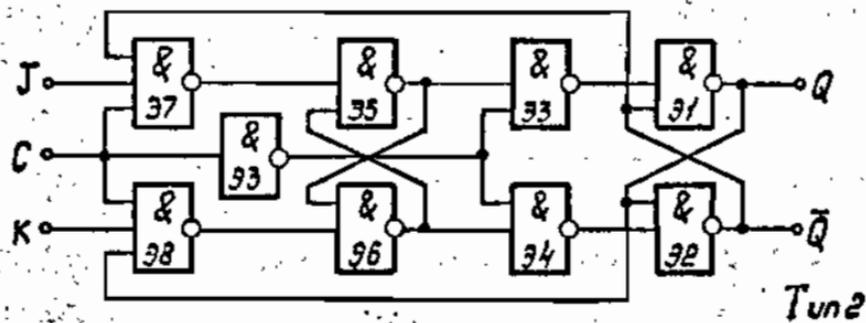
Закон асинхронного поведения синхронного триггера также можно задать таблицей внешних переходов. Но оправданная для описания синхронной работы триггера, она здесь мало пригодна, так как становится обширной и вместе с тем ненаглядной. Асинхронное поведение различных типов синхронных триггеров будем задавать графом внешних переходов [7]. Такое представление обладает большей наглядностью и позволяет сразу уяснить свойства, характерные для каждого типа триггера.

При разделении последних по типам ограничимся рассмотрением только JK- и DV-триггеров. Другие известные триггеры (D-триггер, T-триггер, RS-триггер) также можно разделить на типы 1,2,3 и т.д., если рассмотреть их асинхронное поведение.

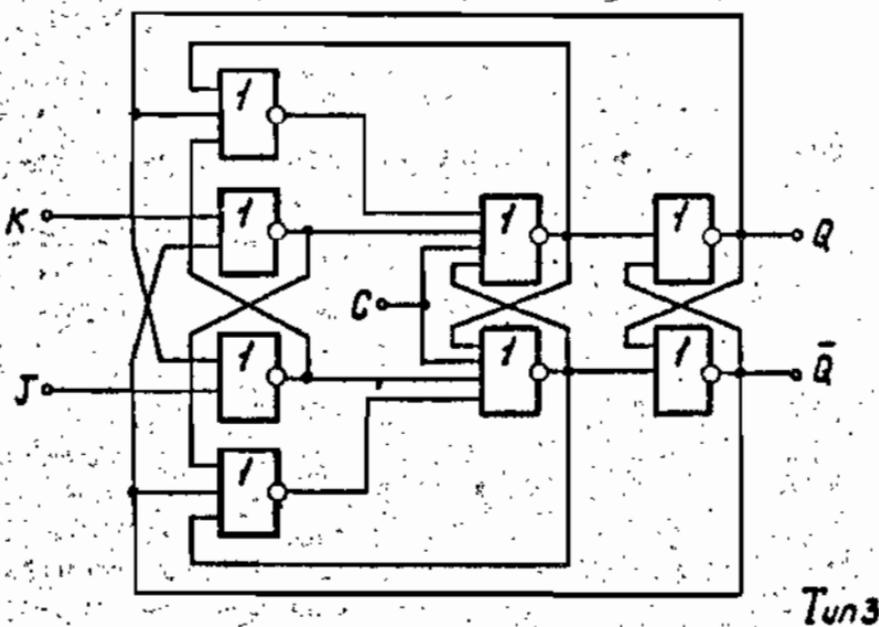
Прежде чем перейти к описанию асинхронного поведения различных типов JK- и DV-триггеров, рассмотрим граф внешних переходов синхронно работающих триггеров.



Tun1



Tun2



Tun3

Рис. 38. Три типа JK-триггера.

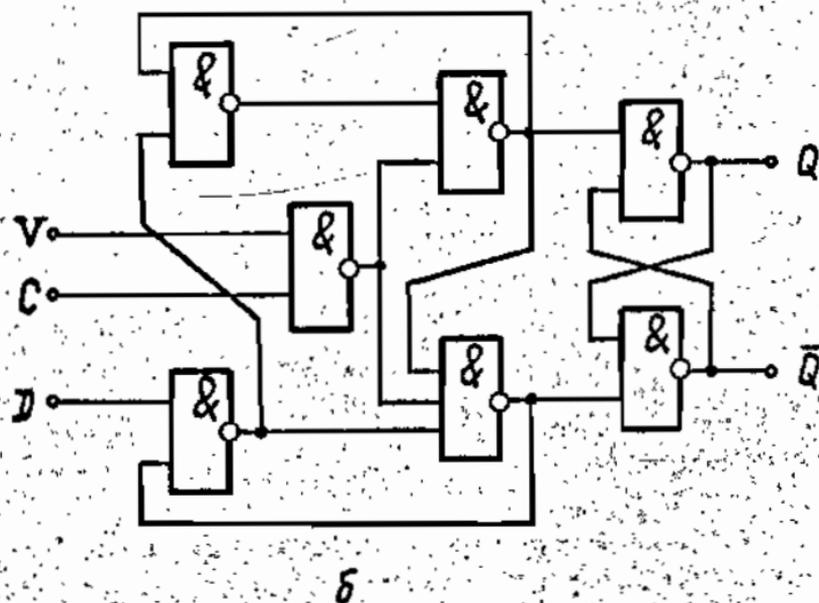
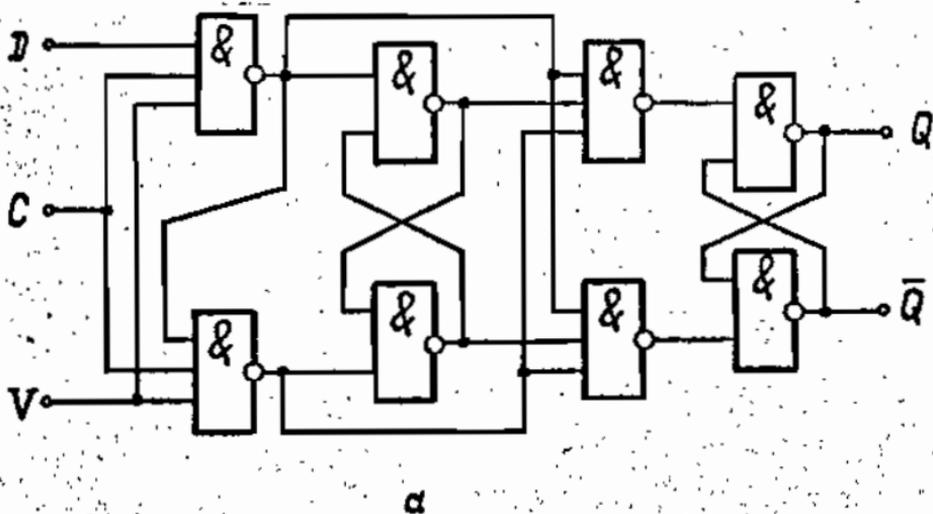


Рис. 39. Две различные структуры синхронного DV-триггера первого типа:

а - двухступенчатый DV-триггер;

б - DV-триггер с динамическим управлением записью.

#### 4.1. Граф внешних переходов синхронно работающего триггера

JK-триггер. Так как все типы синхронного JK-триггера при синхронной работе ведут себя одинаково, то граф внешних переходов для них будет один и тот же (рис.40). Каждая из вершин графа представляет одно из 16 состояний внешних клемм JK-триггера, т.е. его входов и выходов. Число 16 получается из следующих рассуждений. JK-триггер имеет три входа J, K и C, на каждый из которых может подаваться сигнал нуля и единицы. Таким образом, возможны  $2^3 = 8$  комбинаций входных сигналов, т.е. восемь различных состояний входов. Независимо от этого триггер имеет на выходе два состояния: 0 и 1. Комбинация из восьми входных состояний и двух выходных дает 16 различных состояний внешних клемм триггера.

Разместим вершины графа следующим образом. В левой половине графа разместим вершины, которые соответствуют нулевому состоянию выхода Q, а в правой - вершины, соответствующие единичному состоянию выхода Q. Далее, пусть в верхней половине графа синхронизирующий вход имеет значение, равное нулю, а в нижней - единице (см.рис.40). Комбинация сигналов на входах J и K дает четыре состояния внутри каждого кружка, обозначающего отдельную вершину графа. Все вершины графа пронумеруем (см.рис.40).

Дуги между вершинами графа показывают переходы триггера из одного состояния в другое при изменении одной входной переменной. Для определения системы связей между вершинами графа поступают следующим образом. Для каждого изменения входного сигнала по логической структуре триггера вычисляют его новое состояние. Переход триггера в новое состояние помечают на графе соответствующей дугой.

Изменение синхронизирующего сигнала из единицы в нуль (фронт 1/0) изобразим на графе непрерывной дугой. Это изменение соответствует здесь активному фронту синхронизирующего сигнала, т.е. фронту, вызывающему изменение выхода триггера. Диагональные дуги, связывающие правую и левую половины графа, показывают изменению состояния выхода триггера.

Восемь непрерывных дуг соответствуют таблице внешних

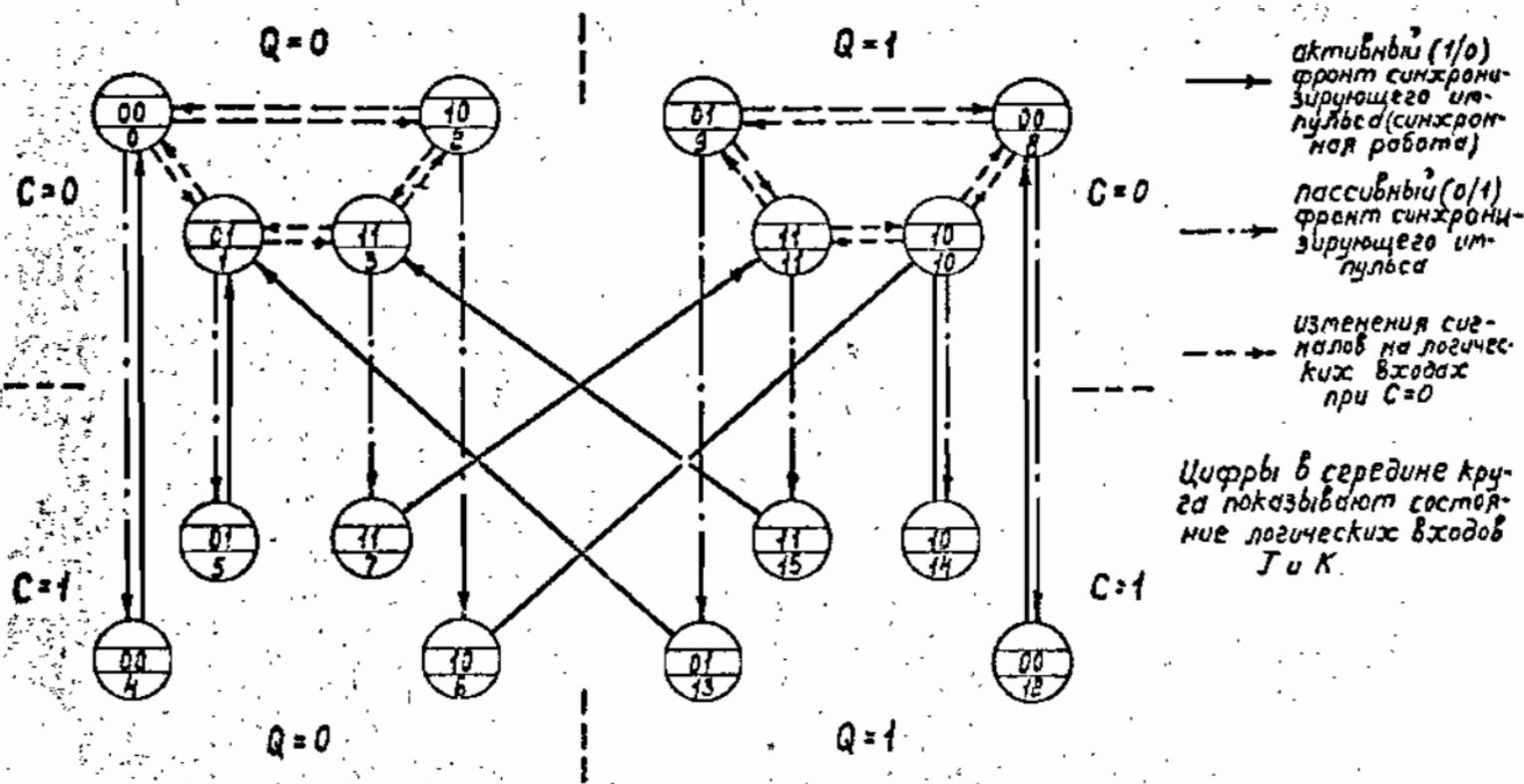


Рис. 40. Граф внешних переходов синхронно работающего JK-триггера.

переходов JK-триггера. Например, при входных сигналах  $J = 0$ ,  $K = 1$  (вершины 5 и 13) изменение синхронизирующего сигнала из единицы в нуль всегда вызывает переход триггера в состояние нуля (вершина 1). Входное условие  $J = 1$ ,  $K = 1$  (вершины 7 и 15) изменяет состояние выхода триггера на противоположное при появлении активного фронта синхронизирующего сигнала (вершины 11 и 3).

Штрихпунктирной дугой обозначим на графе изменение синхронизирующего сигнала из нуля в единицу (фронт 0/1, пассивный фронт синхронизирующего сигнала). Естественно, такое изменение синхронизирующего сигнала не может непосредственно вызвать перебор триггера.

Смена информации на логических входах (пунктирная дуга на графе) должна происходить только после окончания активного фронта синхронизирующего сигнала, т.е. при  $C=0$ . Эта смена входного состояния не должна изменять выходной сигнал.

Если на графе пунктирные дуги не переходят из одной половины графа в другую, то данное требование выполняется.

DV-триггер. Синхронную работу DV-триггеров, отличающихся внутренней организацией, также можно представить одним графом переходов (рис. 41).

Из графа внешних переходов синхронно работающего триггера можно получить по сравнению с таблицей внешних переходов следующую дополнительную информацию:

а) выяснить активный фронт синхронизирующего импульса;  
б) убедиться в безошибочной синхронной работе триггера, т.е. возможности смены сигналов на логических входах при  $C=0$  и переключении активным фронтом синхронизирующего импульса;

в) фактически убедиться в возможности применения триггера для построения цифровых схем. В пункте 4.5 будет показано, что выполнение таблиц внешних переходов еще не говорит о возможности применения триггера в узлах и устройствах ЦМ.

## 4.2. Синхронные триггеры первого типа

JK-триггер. Граф асинхронного поведения синхронного JK-триггера первого типа приведен на рис. 42. В асинхронной работе разрешена смена сигналов на логических входах J и K.



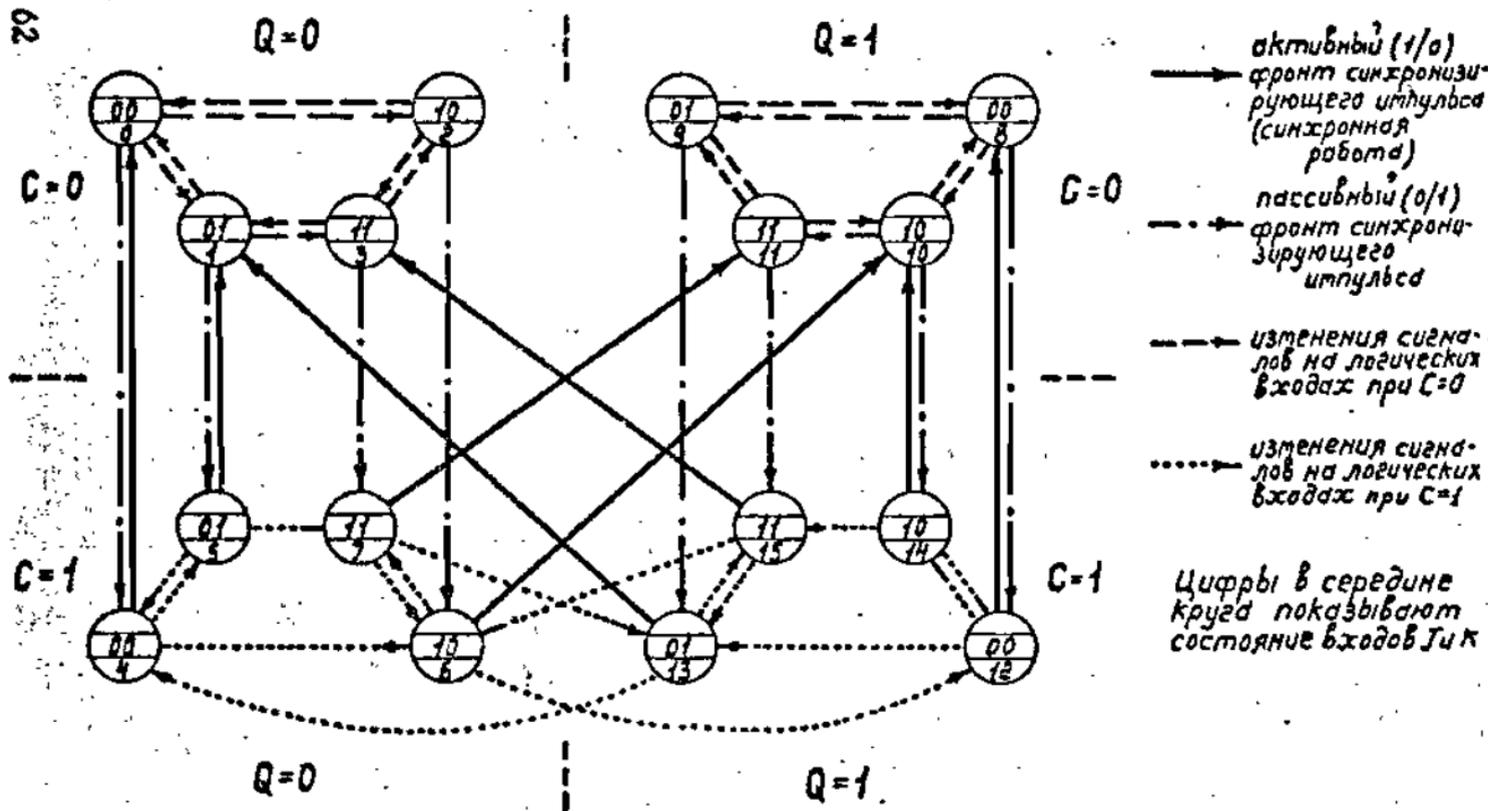


Рис. 42. Граф внешних переходов асинхронно работающего JK-триггера первого типа.

при единичном состоянии синхронизирующего входа ( $C=1$ ). На рис. 42 переходы при  $C=1$  (асинхронные переходы) обозначены точечной пунктирной дугой.

Начальное задание состояний входов и выхода, как правило, позволяет определить значения выходов всех логических элементов, из которых построен триггер. Если для каждого из 16 возможных состояний внешних полюсов изменять один из трех входных сигналов, то можно получить  $16 \times 3 = 48$  переходов. Эти переходы задаются 48 дугами графа. Система дуг, соединяющих вершины графа, определяется так же как и для синхронно работающего триггера.

Из рассмотрения графа переходов (см. рис. 42) видно, что выходное значение может измениться при смене сигналов на входах  $J$  и  $K$ , если состояние синхронизирующего входа равно единице. Смена сигнала на входе  $J$  с единицы на нуль при любом состоянии входа  $K$  и  $C=1$  переключает триггер из состояния  $Q=0$  в  $Q=1$ . Это отражено на графе дугой между вершинами 6 и 12, 7 и 13. Из симметрии триггера ясно, что можно обратно перевести триггер в состояние  $Q=0$  сменой значения сигнала на входе  $K$  с единицы на нуль при  $C=1$ .

DV-триггер. Граф асинхронного поведения DV-триггера первого типа приведен на рис. 43. Изменение состояния входа  $V$  с единицы на нуль при  $C=1$  вызывает переброс триггера.

Вообще для всех триггеров первого типа характерно переключение при изменении сигналов на логических входах и  $C=1$ .

Дополнительные возможности переключения синхронных триггеров первого типа часто позволяют упростить структуру проектируемой асинхронной схемы. Но при этом очень трудно учесть особенности триггера первого типа, так как необходимо постоянно контролировать любое изменение синхронизирующего входа.

#### 4.3. Синхронные триггеры второго типа

JK-триггер. По структуре JK-триггер второго типа (см. рис. 38) мало отличается от JK-триггера первого типа, оба они построены по принципу *master-slave*. Однако на графе его переходов (рис. 44) можно увидеть некоторые отличия. Асинхронная работа JK-триггера второго типа приносит с собой четыре но-

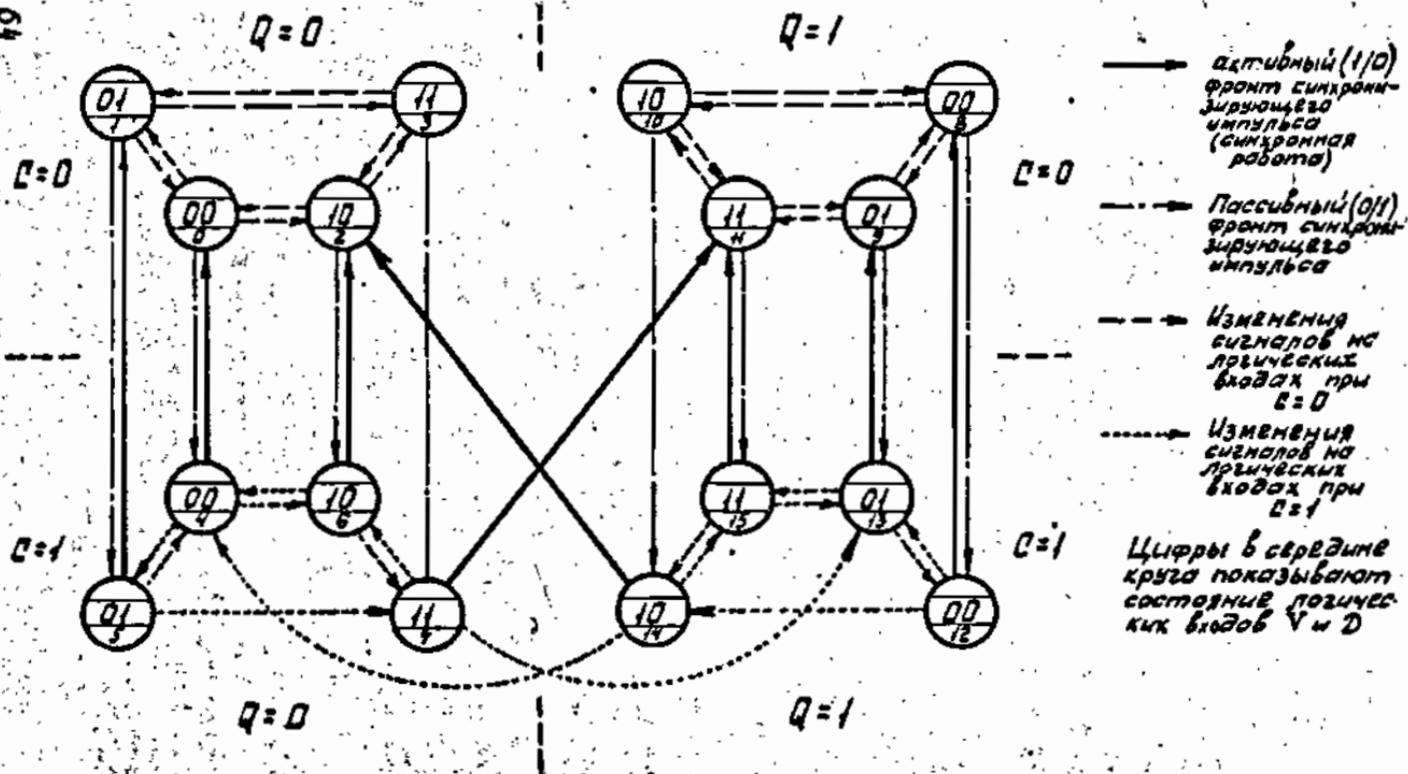


Рис. 43. Граф внешних переходов асинхронно работающего DV-триггера первого типа.

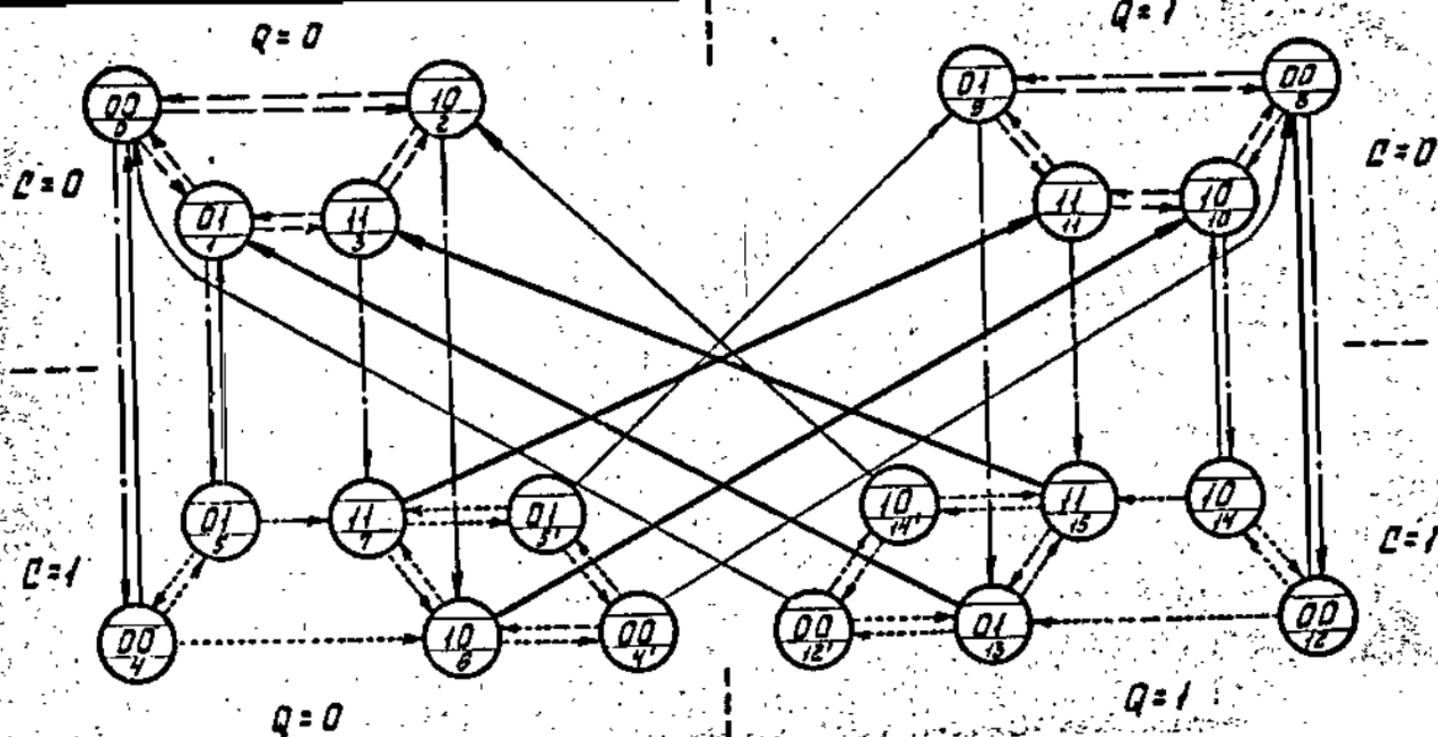


Рис. 44. Граф внешних переходов асинхронно работающего JK-триггера второго типа:

- слабый переход по активному фронту синхронизирующего импульса;
  - правильный переход по активному фронту синхронизирующего импульса.
- Остальные обозначения см. на рис. 42.

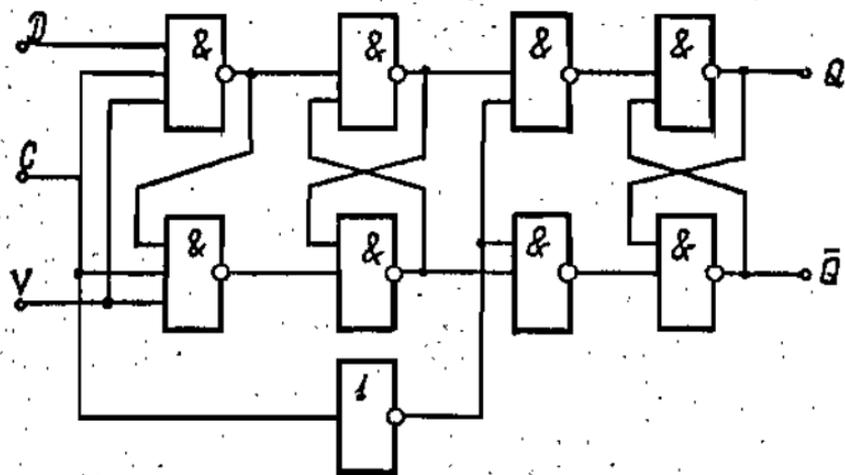
вых состояния  $4'$ ,  $5'$ ,  $12'$  и  $14'$ . Здесь встречается относительно редкий случай, когда заданные значения входов и выхода триггера не позволяют определить значения сигналов на выходах всех логических элементов. Это — отличительная черта триггера второго типа. Например, для JK-триггера (рис. 38, б) заданы следующие начальные условия:  $J=1$ ,  $K=0$ ,  $C=1$  и  $Q=1$ . По этим значениям можно вычислить выходные сигналы элементов 31, 32, 33, 34, 37, 38 и 39, а сигналы на выходах элементов 35 и 36 определить нельзя. Поэтому возможны два различных состояния ( $14$  и  $14'$ ) при данных условиях. Состояние  $14$  ( $35=1$ ,  $36=0$ ) или состояние  $14'$  ( $35=0$ ,  $36=1$ ) устанавливаются в зависимости от предшествующего значения сигналов на входах триггера.

При определенных условиях такая неоднозначность в состоянии 3Я первой ступени приводит к ошибочной работе триггера, т.е. такой работе, которая не соответствует таблице внешних переходов триггера. Допустим, что JK-триггер (см. рис. 38, б) находится в состоянии  $J=1$ ,  $K=0$ ,  $Q=1$ ,  $35=1$  и  $36=0$ . После прихода импульса на синхронизирующий вход (изменение  $0-1-0$ ) значение выхода триггера не изменится. Предположим теперь, что в течении синхронизирующего импульса ( $C=1$ ) на входе  $K$  произойдет изменение  $0-1-0$ . В этом случае триггер последовательно пройдет состояния  $14-15-14'$  (см. рис. 44), т.е. состояние 3Я первой ступени изменится ( $35=0$ ,  $36=1$ ). Следующее (активное,  $1/0$ ) изменение сигнала на синхронизирующем входе переключит триггер в состояние 2 (см. рис. 44) и его выход  $Q$  станет равным нулю.

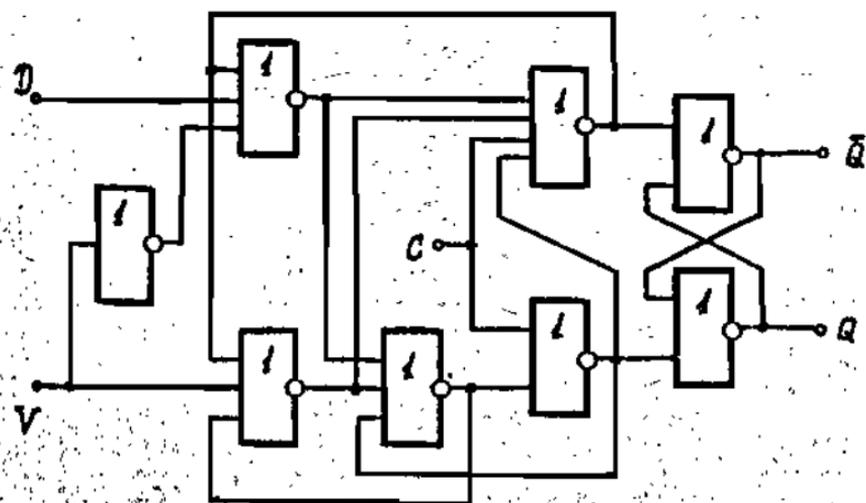
Подобные рассуждения можно привести также для состояний 4, 5 и 12 (см. рис. 44).

Таким образом, JK-триггер второго типа в отличие от первого не переключается при изменении сигналов на входах  $J$  и  $K$ . Но эти изменения при  $C=1$  могут привести к последующей ошибочной работе триггера.

DV-триггер (рис. 45). Граф асинхронной работы DV-триггера второго типа приведен на рис. 46. Здесь также можно наблюдать ошибочную работу, обусловленную сменой значения сигнала на входе  $V$  при  $C=1$  и последующим активным изменением сигнала на синхронизирующем входе. Такая ошибочная работа является отличительной чертой триггеров второго типа.



*Tun 2*



*Tun 3*

Рис. 45. Два типа DV-триггера.

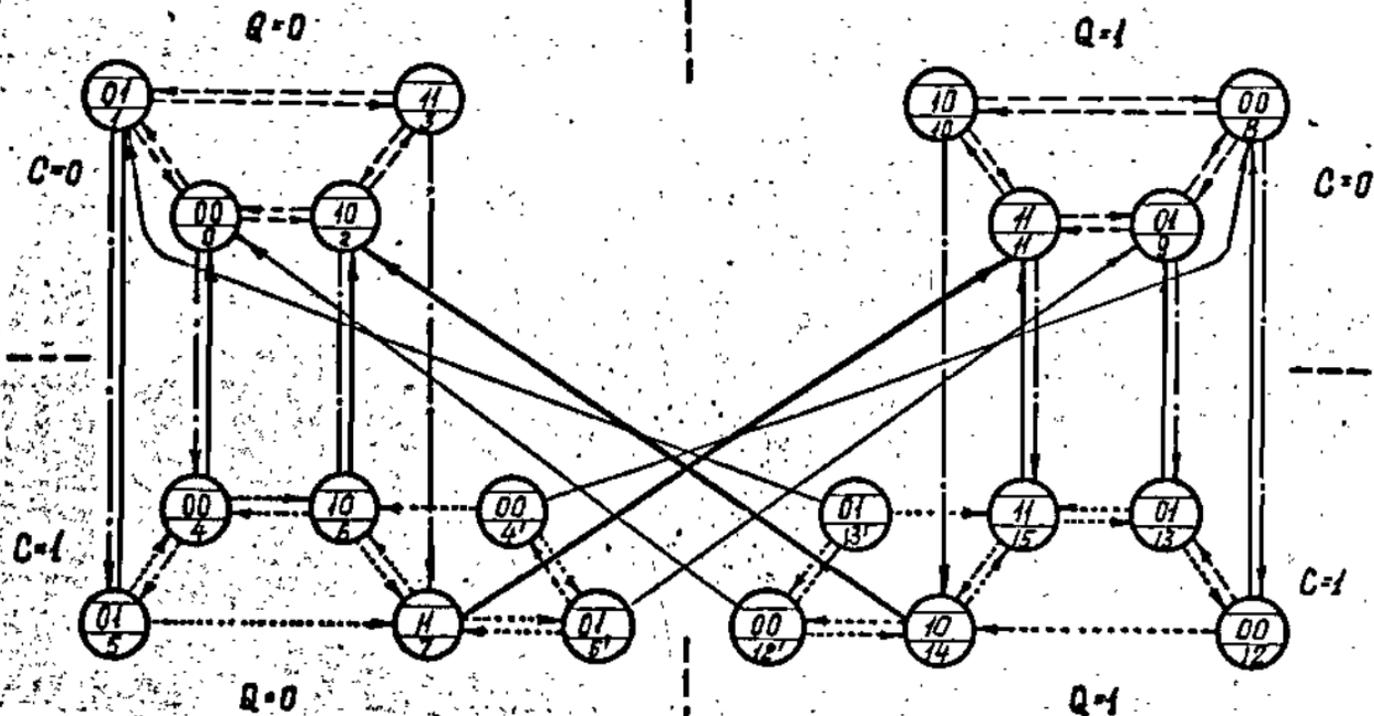


Рис. 46. Граф внешних переходов асинхронно работающего  $DV$ -триггера второго типа:

- спuriousный переход по активному фронту синхронизирующего импульса;
- Правильный переход по активному фронту синхронизирующего импульса.

Остальные обозначения см. на рис. 43.

Пока неизвестны методы, позволяющие использовать особенности триггеров второго типа при синтезе асинхронных схем.

#### 4.4. Синхронные триггеры третьего типа

JK-триггер (см. рис. 38, ). Структуре JK-триггера третьего типа присуще важное свойство, которое выгодно выделяет этот тип среди остальных. При С-1 сигналы на логических входах триггера могут изменяться произвольно без нарушения логики его работы и без изменения состояния выхода Q. Переходы этого триггера при асинхронной работе (см. рис. 47) точно соответствуют таблице внешних переходов.

Граф, изображенный на рис. 47, описывает асинхронную работу JK-триггера с инверсным динамическим С-входом. Для JK-триггера третьего типа с прямым динамическим С-входом граф переходов не изменится, только верхняя его половина будет соответствовать единичному значению синхронизирующего входа, а нижняя - нулевому.

DV-триггер (см. рис. 45 ). Граф переходов для DV-триггера третьего типа приведен на рис. 48. Как видно из графа переходов, асинхронное поведение триггера не отличается от синхронного. Таким образом, таблица внешних переходов задает закон функционирования триггера третьего типа как при синхронной работе, так и при асинхронной. Благодаря этому методы синтеза синхронных схем можно применить (предварительно их модифицировав) для синтеза асинхронных схем.

#### 4.5. Псевдо триггеры

Граф внешних переходов можно использовать для определения возможности практического применения триггера. На рис. 49, а изображена логическая структура JK-триггера. Граф внешних переходов этого триггера приведен на рис. 50. Так как этот триггер переключается фронтом 0/1 синхронизирующего импульса, то вершины верхней половины графа соответствуют состоянию С-входа, равному единице. Как видно из графа переходов в триггере нет последовательности переключений, необходимой для синхронной работы. Эта последовательность должна быть следующей: активный фронт синхронизирующего импульса и переключение триггера - смена сигналов на логичес-

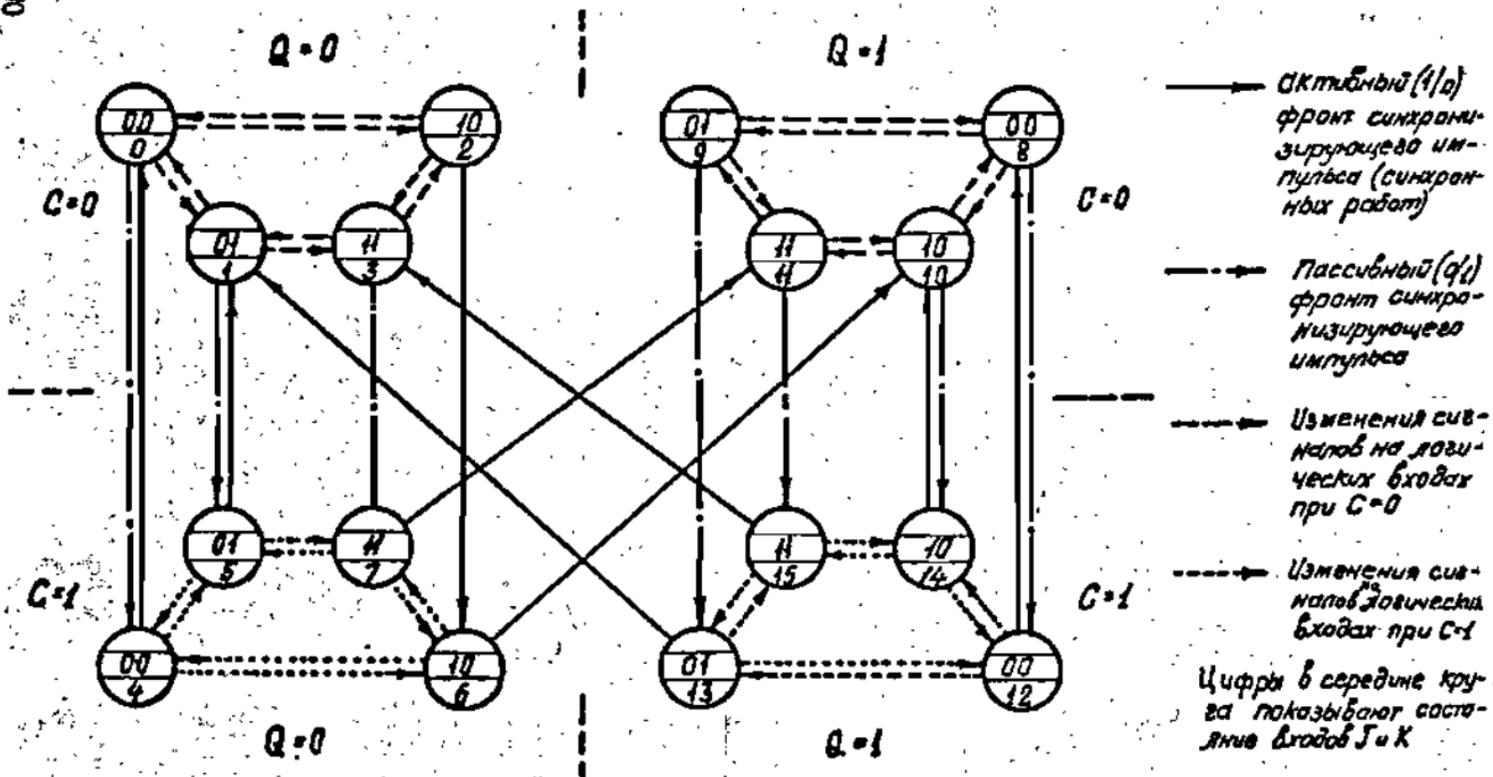


Рис. 47. Граф внешних переходов асинхронно работающего JK-триггера третьего типа.

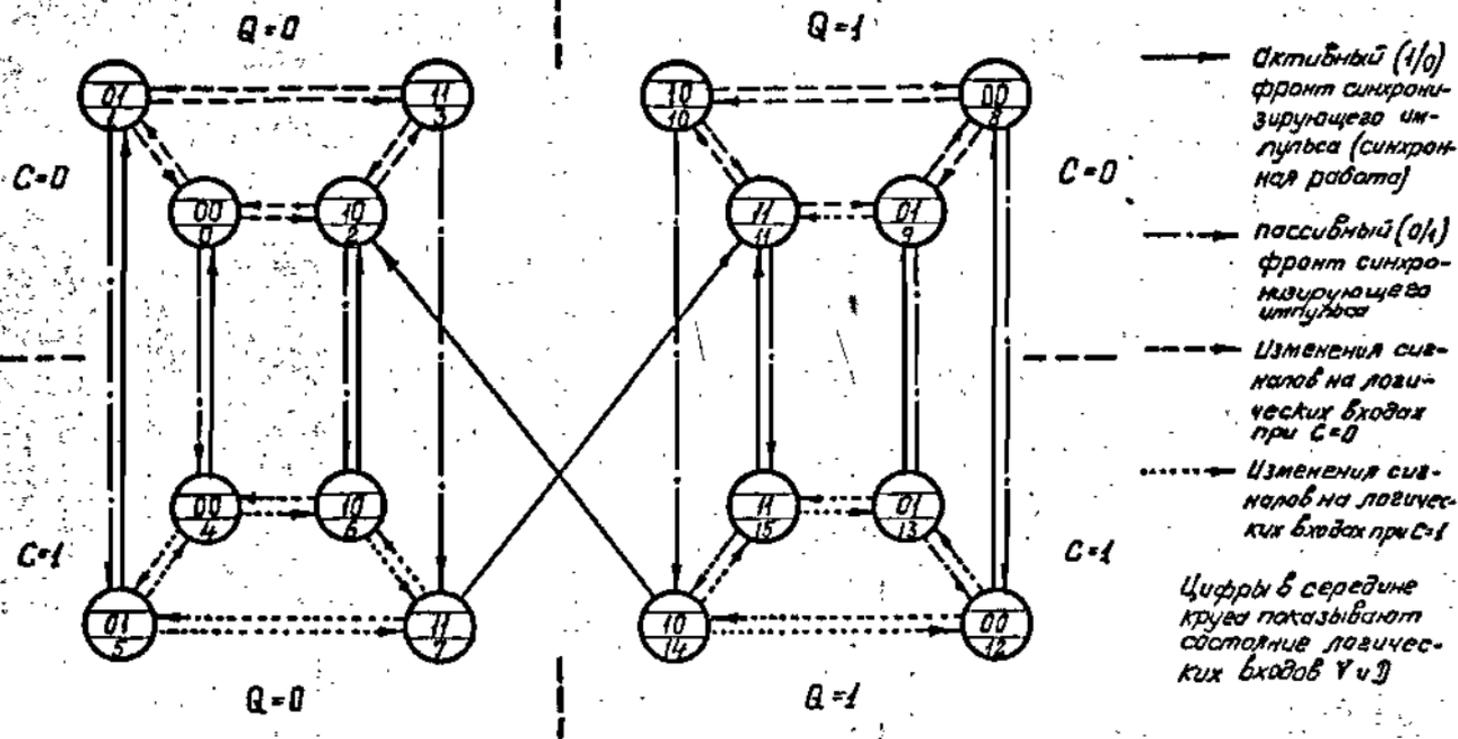


Рис. 48. Граф внешних переходов асинхронно работающего DV-триггера третьего типа.

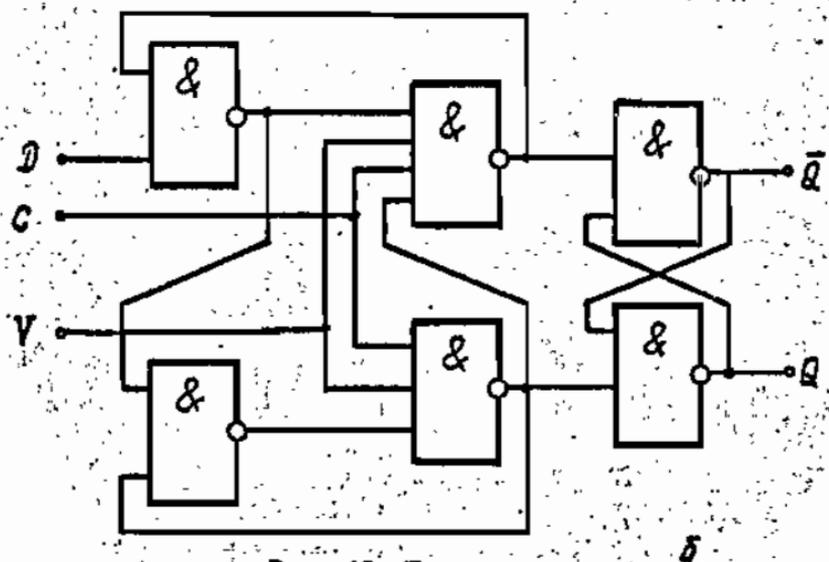
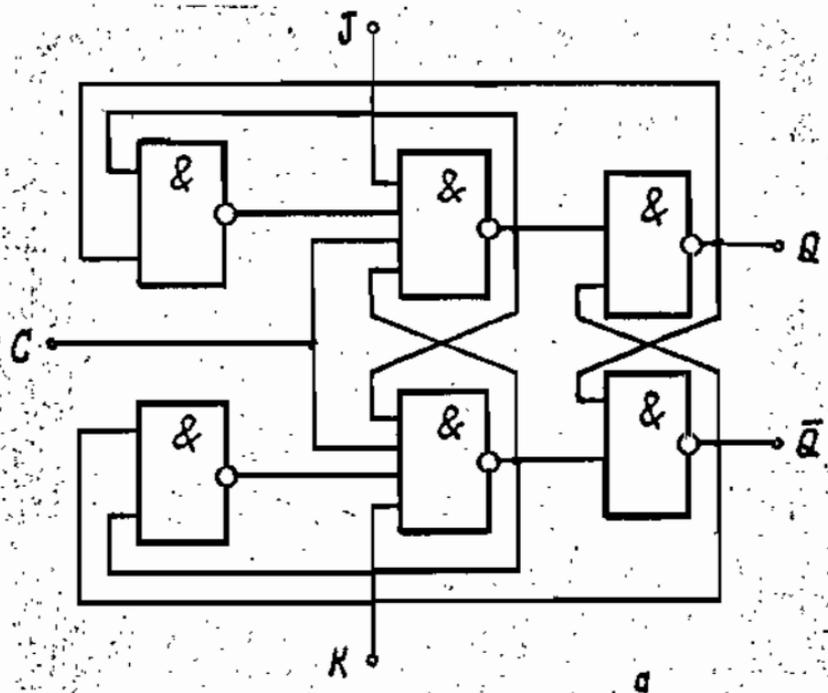


Рис. 49. Псевдотриггеры:  
 а - псевдо-*JK*- триггер;  
 б - псевдо-*DV*- триггер.

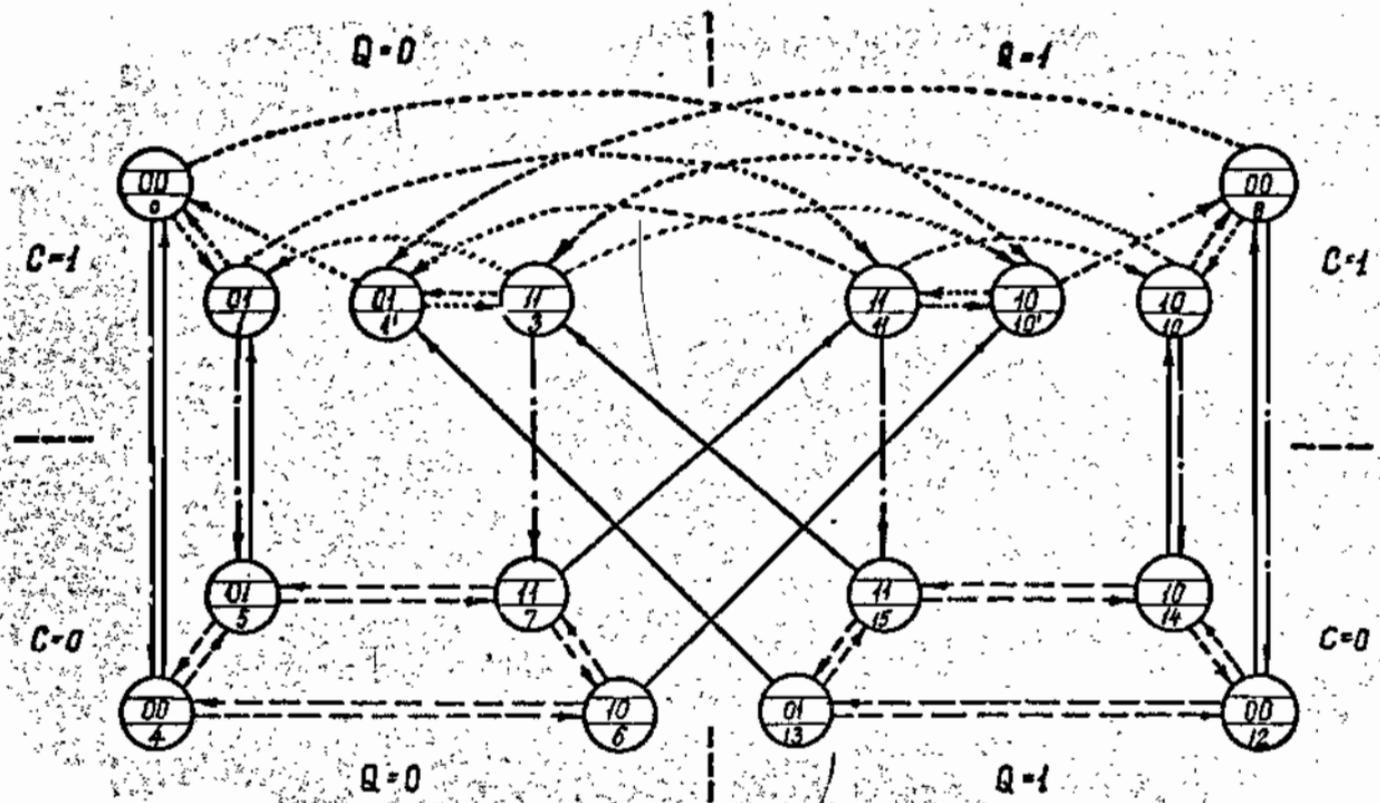


Рис. 50. Граф внешних переходов псевдо -JK-триггера.

ких входах — пассивный фронт синхронизирующего импульса — снова его активный фронт. В реальной схеме входы и выходы связаны между собой непосредственно или через логические элементы (см. рис. 33). Во время активного фронта синхронизирующего импульса происходит переключение триггеров и их новые значения поступают на логические входы соседних триггеров. Эти изменения на логических входах не должны вызывать переключение. При правильной работе они лишь формируют новые значения входных сигналов для следующего такта. Но из графа внешних переходов (рис. 50) видно, что изменения на J- и K- входах непосредственно влияют на состояние выхода (верхняя половина графа). Следовательно, этот триггер практически использовать нельзя.

На рис. 49, б показана структура псевдо-DV-триггера, которая хотя и реализует таблицу внешних переходов, но не может использоваться для построения цифровых устройств по тем же причинам, что и псевдо-JK-триггер. На рис. 51 приведен граф внешних переходов этого триггера.

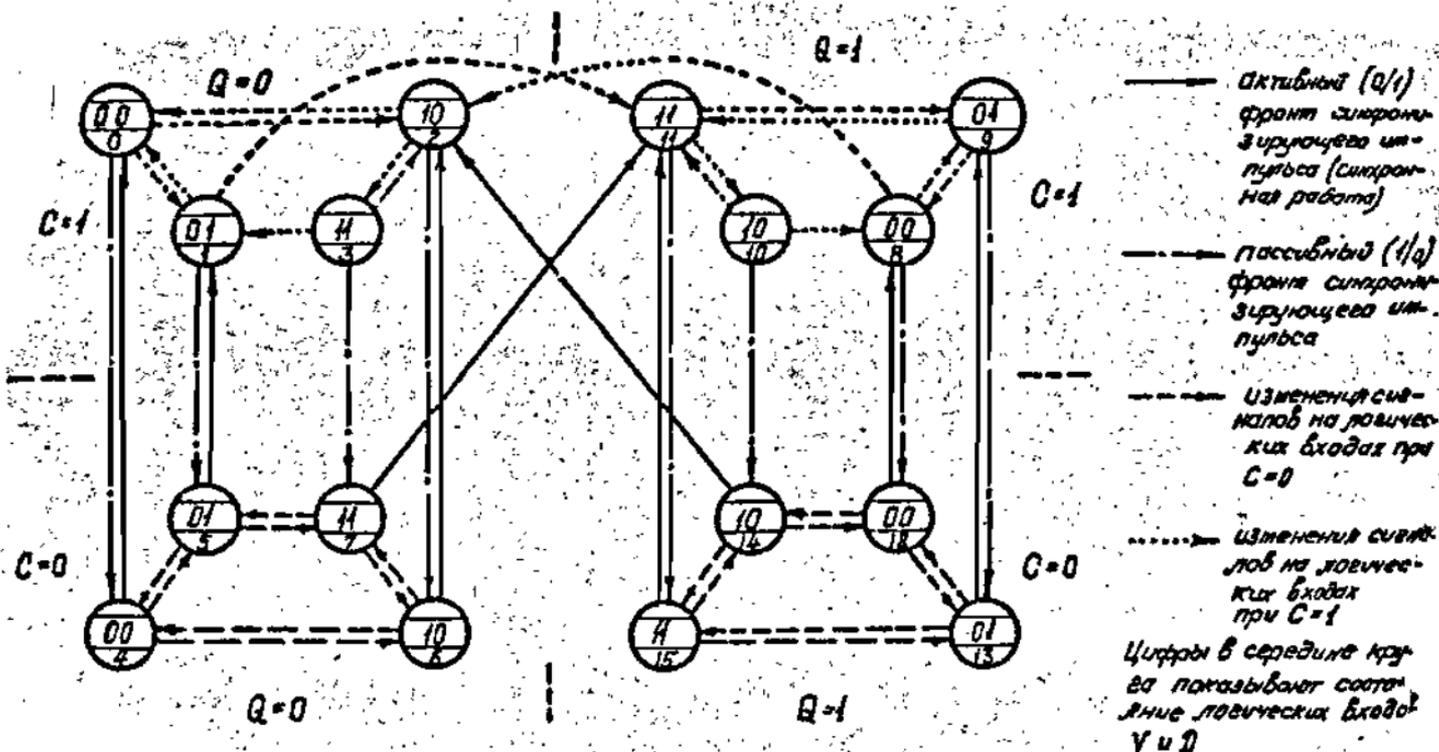


Рис. 51. Граф внешних переходов псевдо-DV-триггера.

## СПИСОК ЛИТЕРАТУРЫ

1. Вавилов Е.Н., Портной Т.П. Синтез схем электронных цифровых машин. М., "Советское радио", 1964.
2. Поспелов Д.А. Логические методы анализа и синтеза схем. Изд. 2-е, перераб. М., "Энергия", 1968.
3. Фиштер М. Логическое проектирование цифровых вычислительных машин. Пер. с англ. Под ред. В.М. Глушкова. Киев, "Техника" 1964.
4. Единая система конструкторской документации. Обозначения условные, графические в схемах. Двоичные логические элементы. ГОСТ 2. 743-72.
5. Fleischhammer W. Eine Systematic der zusammengesetzten bistabilen Kippstufen. "Elektron. Rechenanl.", 10 (1968), H. 1, S. 36-40.
6. Lagemann K. Das DV-Flipflop, eine neuartige Schaltglied und seine Vorzüge gegenüber dem JK-Flipflop. "Elektron. Rechenanl.", 9 (1967), H. 1, S. 9-16.
7. Lagemann K. Ein Vorschlag zur Darstellung asynchron betriebener JK-Flipflops. "Elektron. Rechenanl.", 10 (1968), H. 4, S. 171-176.

## СОДЕРЖАНИЕ

Предисловие . . . . .	3
Введение . . . . .	4
§ 1. Классификация триггерных схем по функции внешних переходов . . . . .	7
1.1. Триггерные схемы с одним входом . . . . .	11
1.2. Триггерные схемы с двумя входами . . . . .	13
§ 2. Классификация триггерных схем по способу записи информации . . . . .	15
2.1. Асинхронные триггерные схемы . . . . .	15
2.2. Синхронные триггерные схемы . . . . .	22
§ 3. Классификация синхронных триггерных схем по способу синхронизации . . . . .	24
3.1. Синхронные триггеры со статическим управлением записью . . . . .	25
3.2. Синхронные двухступенчатые триггеры . . . . .	29
3.3. Синхронные триггеры с динамическим управлением записью . . . . .	41
§ 4. Классификация синхронных триггерных схем по асинхронному поведению . . . . .	53
4.1. Граф внешних переходов синхронно работающего триггера . . . . .	58
4.2. Синхронные триггеры первого типа . . . . .	60
4.3. Синхронные триггеры второго типа . . . . .	63
4.4. Синхронные триггеры третьего типа . . . . .	69
4.5. Псевдо триггеры . . . . .	69
Список литературы . . . . .	76

Редактор *О. А. Сафронова*

Техн. редактор *Н. И. Новикова*

Корректор *Н. В. Шумакова*

Т-56907	В печать 23.04.76 г.	Объем 4,75 п. л.	Уч.-изд. 4,2
бумага типографская.	Формат 60×84 <sup>1</sup> / <sub>16</sub>	Тираж 500 экз.	
Цена 15 коп.			Зак. 776

Типография МИФИ, Каширское шоссе, д. 1